

17. Statistical leakage simulator for the ARM M0 family ELMO. Available at: <https://github.com/scaresearch/ELMO>.
18. Welch D. Thumbulator. Available at: <https://github.com/dwelch67/thumbulator.git>.
19. CSA ISO/IEC 17825-2018 Information technology - Security techniques - Testing methods for the mitigation of non-invasive attack classes against cryptographic modules.
20. Goodwill G., Jun B., Jaffe J. and Rohatgi P. A testing methodology for side-channel resistance validation, *NIST Non-Invasive At-tack Testing Workshop*, 2011.
21. Cooper J., DeMulder E., Goodwill G., Jaffe J., Kenworthy G. and Rohatgi P. Test vector leakage assessment (tvla) methodology in practice, *International Cryptographic Module Conference*, 2013.

Статью рекомендовал к опубликованию д.т.н., профессор А.Н. Целых.

Малыгина Виктория Олеговна – Южный федеральный университет; e-mail: malayavina@sfedu.ru; г. Таганрог, Россия; тел.: 88634371905; кафедра безопасности информационных технологий им. О.Б. Макаревича; выпускник.

Маро Екатерина Александровна – e-mail: eamaro@sfedu.ru; тел.: 88634371905; кафедра безопасности информационных технологий им. О.Б. Макаревича; к.т.н.; доцент.

Malyavina Viktoriya Olegovna – Southern Federal University; e-mail: malayavina@sfedu.ru; Taganrog, Russia; phone: +78634371905; the Department of Information Security; alumnus.

Maro Ekaterina Aleksandrovna – e-mail: eamaro@sfedu.ru; phone: +78634371905; the Department of Information Security; cand. of eng. sc.; associate professor.

УДК 004.272.44

DOI 10.18522/2311-3103-2024-5-173-185

Д.А. Сорокин, А.В. Касаркин

ОБЗОР МОДЕЛЕЙ КОММУТАЦИОННЫХ ПОДСИСТЕМ ЦИФРОВЫХ ФОТОННЫХ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ

Рассматриваются варианты организации подсистемы коммутации цифровых фотонных вычислительных устройств, основной задачей которой является обеспечение возможности организации эффективных вычислений при решении задач различных проблемных областей. По мнению авторов, цифровые фотонные вычислители должны обрабатывать информацию в структурной парадигме вычислений. Данная парадигма принципиально отличается от классической фон-Неймановской парадигмы, поскольку в ней передача данных между функциональными элементами не расторгима с обработкой. Поэтому проблематика построения подсистемы коммутации в разрабатываемых цифровых фотонных вычислительных устройствах – одна из ключевых. Данная подсистема должна обрабатывать информационные зависимости между выполняемыми операциями не только во времени, но и в пространстве. Только в этом случае обработка данных в фотонных вычислительных системах будет выполняться с производительностью, превосходящей на два и более десятичных порядка производительность самых современных электронных вычислительных систем. Рассматриваются вопросы обеспечения потокового обмена данными между функциональными устройствами в цифровом фотонном вычислителе. Авторы разработали и проанализировали в базисе фотонной логики модели коммутационных устройств и способы организации коммутационной подсистемы при выполнении последовательной обработки данных. В ходе исследований было установлено, что структурная организация вычислений в цифровых фотонных вычислителях возможна при обеспечении обмена данными посредством пространственной коммутации входных и выходных каналов функциональных устройств. При реализации цифровых фотонных вычислителей как универсальных устройств, ориентированных на широкий класс задач, наиболее удобными для организации вычислительных структур будут иерархический и иерархическо-кольцевой варианты подсистемы коммутации. Однако данные варианты характеризуются высокими накладными расходами на построение коммутаторов. Поэтому в проблемно-ориентированных фотонных вычислителях, предназначенных для решения сильносвязанных задач с высокой удельной производительностью, более предпочтительно применение ортогональной или тороидальной подсистемы коммутации. В этом случае должна обеспечиваться непосредственная пространственная коммутация между функциональными устройствами одной группы,

а также между группами. Данные варианты характеризуются более высокими требованиями к качеству формирования физических каналов между коммутаторами и функциональными устройствами, а также между самими коммутаторами.

Цифровое фотонное вычислительное устройство; коммутационные устройства ЦФВУ; структурная парадигма вычислений.

D.A. Sorokin, A.V. Kasarkin

OVERVIEW OF SWITCHING SUBSYSTEM MODELS FOR DIGITAL PHOTONIC COMPUTING DEVICES

This article examines options for organizing the switching subsystem of digital photonic computing devices, whose main task is to enable efficient computations in various problem domains. According to the authors, digital photonic computers should process information within a structural computing paradigm. This paradigm fundamentally differs from the classical von Neumann paradigm, as data transfer between functional elements is inseparable from processing. Therefore, developing a switching subsystem in digital photonic computing devices is a critical challenge. This subsystem must handle data dependencies between operations not only in time but also in space. Only under these conditions can data processing in photonic computing systems achieve performance that exceeds the performance of the most advanced electronic computing systems by two or more decimal orders. The article addresses issues of streaming data exchange between functional devices in a digital photonic computer. The authors developed and analyzed switching device models and methods for organizing the switching subsystem for sequential data processing, using a basis of photonic logic. The research established that structural organization of computations in digital photonic computers is feasible when data exchange is achieved through spatial switching of input and output channels of functional devices. In implementing digital photonic computers as universal devices aimed at a wide range of tasks, hierarchical and hierarchical-ring variants of the switching subsystem organization are most suitable for forming computational structures. However, these variants are characterized by high overhead for constructing switches. Therefore, in problem-oriented photonic computers designed for solving highly interconnected tasks with high specific performance, the use of orthogonal or toroidal switching subsystems is preferred. In this case, direct spatial switching between functional devices within a group, as well as between groups, should be ensured. These variants have higher requirements for the quality of physical channels formed between switches and functional devices, as well as between the switches themselves.

Digital photonic computing device; switching devices of DPCD; structural computing paradigm.

Введение. Современная микроэлектроника практически достигла технологических пределов своего развития, обусловленных физическими ограничениями размеров транзисторов [1]. После взрывного роста производительности вычислительных систем за счёт увеличения логической ёмкости микросхем и тактовых частот работы в 90-е годы прошлого века и в начале 2000-х в настоящее время мы наблюдаем только медленное развитие за счёт масштабирования количества обрабатывающих ядер. При этом архитектуры современных вычислительных систем в той или иной степени являются развитием фон-Неймановской концепции, что существенно снижает реальную производительность при решении трудоемких прикладных задач. Применение альтернативных способов организации обработки данных, таких как структурная парадигма [2] в системах, способно поднять реальную производительность до уровня 50-90% от пиковой, однако не решает проблему отсутствия возможности качественного наращивания вычислительной мощности, поскольку упирается в те же технологические барьеры микроэлектроники.

Преодоление подобных ограничений возможно только при создании принципиально новых вычислительных машин. Одним из таких перспективных вариантов являются цифровые фотонные системы [3–5], в которых вычисления выполняются с помощью светового потока, излучаемого лазером. Обработка данных фотонными логическими вентилями, такими как NOT, AND, OR и их производными, а также построенными на их базе триггерами и функциональными устройствами, способна обеспечить точность вычислений, аналогичную точности цифровой микроэлектроники. При этом работа на тактовых частотах терагерцового уровня позволит получить качественный рост производительности относительно самых современных вычислительных систем.

В настоящее время ведутся разработки как технологий построения элементной базы цифровых фотонных микросхем, так и технологий организации эффективных вычислений на их основе. В предыдущих работах [6, 7] был проанализирован вариант построения архитектуры цифровых фотонных вычислительных устройств (ЦФВУ), выполняющей обработку потоков операндов в структурной парадигме вычислений. Рассмотрены принципы обеспечения быстродействия и точности решения задач на ЦФВУ при выбранном способе представления данных. Предложены подходы к построению функциональных устройств в базисе фотонной логики, выполняющих арифметические операции в различных форматах представления данных. Однако в структурной парадигме необходимо соблюдать следующее правило: *процесс передачи данных между функциональными элементами реализуемых вычислительных структур не расторгим с процессом обработки*.

Для сравнения в многопроцессорных системах с традиционной архитектурой эти процессы разделены. Межпроцессорные обмены являются программной надстройкой, соединяющей множество независимо работающих процессоров, и зачастую для выполнения требуют выделенного времени при решении задач, что значительно снижает производительность систем. Это обусловлено тем, что множество независимых процессов обмена данными в традиционных вычислительных системах в общем случае конфликтно, поскольку не обеспечивается детерминизм вычислительных параллельных процессов [8].

Параллельная обработка данных на ЦФВУ возможна с соблюдением сформулированного выше правила, но требует аппаратной реализации множества информационных связей между работающими функциональными устройствами либо с помощью непосредственного соединения, либо посредством некоторого программно настраиваемого коммутационного ресурса.

Стоит отметить, что объединение функциональных элементов ЦФВУ в сложные вычислительные структуры порождает проблему обеспечения передачи данных на сверхвысоких тактовых частотах без искажений. Паллиативные подходы к организации безошибочной передачи в ЦФВУ, такие как контроль чётности или передача с квитанциями, нецелесообразно применять в структурной парадигме вычислений, поскольку требуют дополнительных аппаратных затрат и делают поток данных нерегулярным и разреженным. Поэтому необходимо разделение ЦФВУ на локальные участки, внутри которых будет обеспечена синхронная передача за счет прямой коммутации при соблюдении одинаковых длин трасс и низкого коэффициента затухания светового сигнала. Внутри таких локальных участков возможно использование коммутационного оборудования, настраиваемого на этапе программирования либо в процессе решения задачи при минимальных аппаратных затратах на синхронизацию данных.

В свою очередь между локальными участками ЦФВУ возможны длинные трассы передачи световых сигналов, что неминуемо приведет к рассинхронизации потоков данных. Поэтому между локальными участками необходимы устройства буферизации и синхронизации потоков данных, которые обеспечат синфазную подачу данных в ЦФВУ, а настройка коммутационного оборудования возможна только на этапе программирования.

В настоящей статье рассматриваются подходы к построению коммутационной подсистемы ЦФВУ, обеспечивающей перенаправление потоков данных между функциональными устройствами (ФУ) в вычислительных структурах и обладающей возможностью настройки информационных связей как в процессе программирования ЦФВУ, так и в процессе решения задач при организации ветвлений алгоритмов. Выбор варианта организации подсистемы коммутации ЦФВУ необходимо осуществлять через призму эффективности вычислительных структур, синтезируемых в базисе цифровой фотонной логики.

Иерархическая коммутационная подсистема. В работах [6, 7] рассматривались варианты реализации коммутационной подсистемы с иерархической топологией на основе универсальных полнодуплексных коммутаторов, мультиплексирующих и демультиплексирующих входные и выходные каналы данных по принципу «все со всеми», когда для каждого входа функционального устройства обеспечивается подключение к любому из выходов других функциональных устройств и наоборот. Это позволяет эффективно задействовать ресурс и реализовать вычислительную структуру, соответствующую ин-

формационному графу без редукционных преобразований [9], если число необходимых функциональных устройств больше или равно числу вершин информационного графа. Однако, как показывают исследования, в реальных прикладных задачах число вершин информационного графа, как правило, много больше числа доступных функциональных устройств не только в пределах одного ЦФВУ, но и в пределах высокопроизводительных систем, построенных на основе ЦФВУ. Для решения таких задач синтезируются вычислительные структуры, соответствующие редуцированному по производительности информационному графу [10], а обработка данных выполняется структурно-процедурным методом [11]. При этом информационные зависимости, не вошедшие в структурную компоненту, в общем случае реализуются через оперативную память. Поэтому аппаратная избыточность полнодуплексных коммутаторов неизбежно приведёт к падению удельной производительности.

Более эффективное использование аппаратного ресурса в иерархической коммутационной подсистеме при реализации различных задач, характеризующихся большим числом информационных вершин относительно необходимых ФУ в системе, возможно при применении полудуплексных коммутаторов, например как показано на рис. 1.

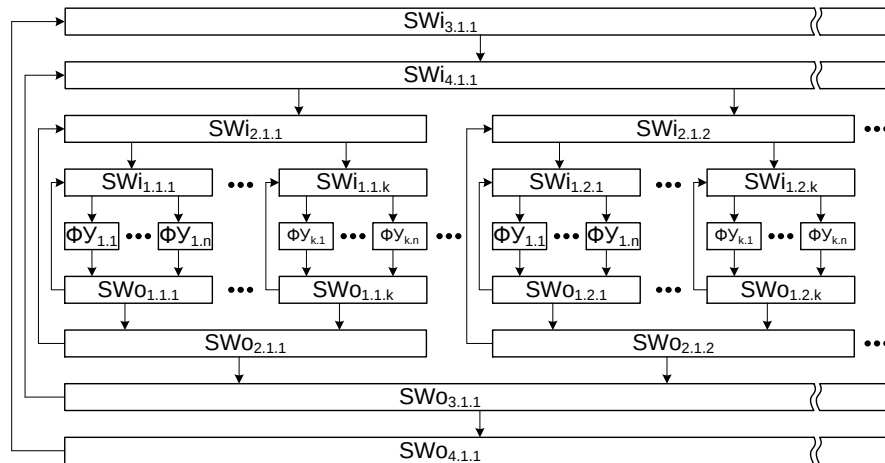


Рис. 1. Вариант построения иерархической коммутационной подсистемы ЦФВУ с полудуплексными коммутаторами

В приведённом варианте коммутационной подсистемы: $SW_{i,j,k}$ – входные коммутаторы, $SW_{o,i,j,k}$ – выходные коммутаторы, $FU_{k,n}$ – арифметико-логические функциональные устройства. Адресация коммутаторов определяется уровнем иерархии i , номером группы j , которая подключена к одному вышестоящему коммутатору, и номером коммутатора k в группе. Функциональные устройства разделены по группам, каждая из которых подключена к коммутаторам первого уровня ($i=1$). Коммутаторы являются устройствами типа «мультиплексор/демультиплексор»

Представленная коммутационная система включает в себя два типа коммутаторов. К первому типу относятся коммутаторы, которые могут выполнять в процессе решения задачи функции условных переходов, либо на этапе синтеза формировать вычислительную структуру. Ко второму типу относятся коммутаторы, предназначенные только для синтеза вычислительных структур в соответствии с информационным (исходным или редуцированным) графом задачи [10] на этапе программирования ЦФВУ. Для этого на их управляющие входы должны быть поданы конфигурационные параметры, сформированные на этапе трансляции программы ЦФВУ. Конфигурационные параметры не могут меняться в процессе решения задачи.

Рассмотрим фрагмент ЦФВУ с иерархической коммутационной системой, состоящей из трёх групп ФУ, обрабатывающих данные в формате 32-разрядной беззнаковой фиксированной запятой по три сумматора, умножителя и делителя, представленный на рис. 2.

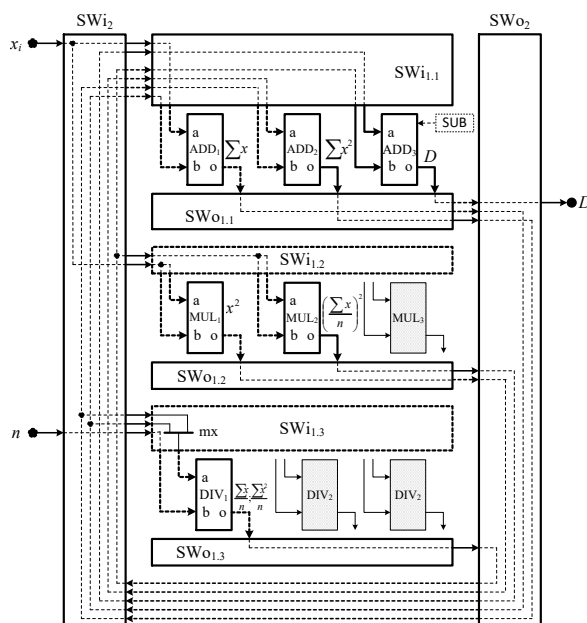


Рис. 2. Вычислительная структура функции D с иерархической подсистемой коммутации

На данном фрагменте показана конвейерная реализация вычислительной структуры функции расчёта дисперсии

$$D = \frac{\sum_{i=1}^n x_i^2}{n} - \left(\frac{\sum_{i=1}^n x_i}{n} \right)^2,$$

которая является оптимизированной версией структуры из [6].

Вычислительная структура расчёта D обрабатывает поток входных операндов x_i за $f(i)$ тактов. Число тактов $f(i)$ определяется типом обработки данных (конвейер или процедура) и форматом представления данных (параллельный, последовательный и т.п.). При последовательной подаче данных старшими разрядами вперёд [12, 13] обработка в структуре D будет выполняться за $32 \cdot i$ такта. Однако, если выполнить два деления по очереди на одном делителе, функция D будет рассчитана за $32 \cdot (i+1)$ такта, то есть практически без потери в производительности, но будут уменьшены аппаратные затраты на один делитель. Это является существенным выигрышем, поскольку аппаратная реализация устройства деления в базисе ЦФВУ требует в 2,5 раза ресурса больше, чем устройство умножения, и в 15 раз больше, чем устройство суммирования.

Представленный на рисунке 2 фрагмент ЦФВУ содержит на первом уровне три входных коммутатора $SW_{i1.1}$ - $SW_{i1.3}$ и три выходных коммутатора $SW_{o1.1}$ - $SW_{o1.3}$, все первого типа. На втором уровне один входной коммутатор SW_{i2} и один выходной SW_{o2} , оба второго типа. Массив ФУ разделён на три группы: сумматоры ADD_1 - ADD_3 , умножители MUL_1 - MUL_3 и делители DIV_1 - DIV_3 . Неиспользуемые ФУ в вычислительной структуре D на рис. 2 заштрихованы. Для простоты изложения на рис. 2 не показаны элементы системы синхронизации, которые также необходимы для выполнения алгоритма.

Сформированные при программировании ЦФВУ в коммутаторах информационные каналы показаны пунктирными линиями. После того как все операнды x_i поступят на вход вычислительной структуры, на сумматорах ADD_1 и ADD_2 сформируются суммы $\sum x$ и $\sum x^2$ и через мультиплексор mx коммутатора $SW_{i1.3}$ будут последовательно поданы на вход a делителя DIV_1 . На вход b DIV_1 подаётся переменная n . На выходе o делителя DIV_1 будут сформированы значения $\sum x/n$ и $\sum x^2/n$. Данные значения поступают на входы ADD_3 , настроенного при программировании ЦФВУ на вычитание.

Здесь был показан лишь один из возможных вариантов формирования вычислительной структуры, и, в зависимости от возможностей и параметров коммутационной подсистемы ЦФВУ, вычислительная структура может значительно отличаться, например, возможно группировать ФУ не по их типу, а одну группу поместить весь набор различных ФУ (сумматоры, умножители и т.д.). Так как в пределах каждой группы ФУ устройства имеют большие возможности коммутации при решении некоторых классов задач, такой подход к группировке может быть более эффективным.

Несмотря на то что иерархическая организация подсистемы коммутации с применением полудуплексных коммутаторов требует существенно меньших аппаратных затрат по сравнению с универсальными полнодуплексными коммутаторами, в данном подходе имеется ряд принципиальных проблем при организации информационных обменов в вычислительных структурах решения различных сильносвязанных задач. Например, в большинстве случаев будет критичной организация передачи множества данных от одних ФУ к другим через несколько иерархических уровней. В рассмотренном примере видно, что при переходе на коммутатор более высокого уровня иерархии плотность коммутируемых зависимостей возрастает. Если для коммутаторов первого уровня количество выходных каналов определяется количеством входов одной группы ФУ, то для коммутаторов второго уровня количество выходных каналов определяется количеством входов всех групп ФУ, которые они объединяют. В результате при синтезе на ЦФВУ более сложных вычислительных структур, требующих применения десятков и сотен различных ФУ, коммутационная нагрузка на более старшие иерархические уровни будет значительно возрастать. Также могут возникать коллизии при выполнении вычислений, что потребует либо введения пауз в процесс обработки, либо применения полнодуплексных коммутаторов на втором и более высоких уровнях иерархии.

Кольцевая коммутационная подсистема. Многие вычислительно трудоёмкие задачи из области линейной алгебры, геофизики, криптографии и другие решаются итерационными алгоритмами обработки данных. Вычислительные структуры таких задач можно эффективно реализовывать с использованием кольцевой коммутационной подсистемы. Рассмотрим на рис. 3 пример типового фрагмента вычислительной структуры в ЦФВУ с кольцевой коммутацией. Подобная вычислительная структура может быть синтезирована для выполнения таких алгоритмов линейной алгебры, как прямой ход Гаусса или прямой ход LU-декомпозиции квадратной матрицы [14].

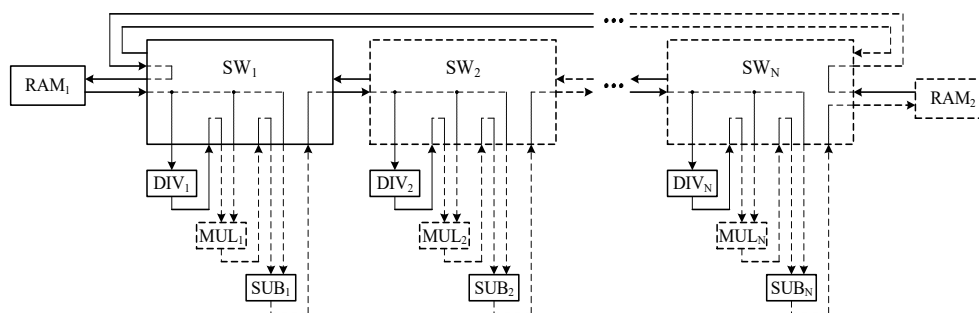


Рис. 3. Типовой фрагмент вычислительной структуры задачи линейной алгебры

В приведённом на рис. 3 варианте коммутационной подсистемы SW_1 - SW_N – коммутаторы. ФУ разделены по группам, состоящим из делителя DIV_i , умножителя MUL_i и вычитателя SUB_i . В каждой группе все входы и выходы ФУ подключены к соответствующему коммутатору SW_i . Данная коммутационная система включает в себя только полнодуплексные коммутаторы, которые на этапе синтеза формируют вычислительную структуру, а в процессе решения задачи обрабатывают функции условных переходов и т.п. Каждый коммутатор SW_i соединен только с 2 соседними коммутаторами SW_{i-1} и SW_{i+1} .

Разложение матрицы на треугольные подматрицы является основой многих алгоритмов, связанных с численным решением систем линейных алгебраических уравнений. Если представленный фрагмент вычислительной структуры реализует прямой ход LU-разложения квадратной матрицы A в виде произведения $LU=A$, то структурной парадигме вычислений конвейерная реализация предполагает, что i -я ступень конвейера соответствует одной итерации алгоритма и реализуется на ФУ i -го коммутатора. При программировании ЦФВУ в коммутаторах SW_1 - SW_N формируются информационные каналы (показаны пунктирными линиями). Для простоты изложения на рисунке не показаны элементы системы синхронизации, которые так же необходимы для выполнения алгоритма. Данные из памяти RAM_1 через систему сопряжения с внешней памятью [6] поступают на коммутатор SW_1 , который подаёт их в обработку на ФУ первой группы. Результат работы группы ФУ отправляется через коммутатор SW_1 в коммутатор SW_2 и подаётся на обработку ФУ второй группы. В это же время в коммутатор SW_1 подгружаются новые данные из RAM_1 . Так по цепочке данные непрерывным потоком перемещаются через коммутаторы от одной группы ФУ к следующей.

При количестве ступеней конвейера $N < M$, где M – размерность матрицы, матрица обрабатывается итерационно. Число итераций определяется как $\lceil M/N \rceil$. На первой итерации исходная матрица читается из RAM_1 , а промежуточные данные после прохождения по всем ступеням конвейера записываются в RAM_2 . На второй итерации данные из RAM_2 после прохождения по вычислительному конвейеру записываются в RAM_1 . Процесс повторяется, пока не будут выполнены все итерации LU-разложения.

Однако стоит отметить, что подсистема коммутации эффективна только для задач, которые характеризуются прямой информационной зависимостью между i и $i+1$ ступенями вычислительной структуры. В то же время многие вычислительно трудоёмкие сильносвязанные задачи характеризуются более сложными информационными зависимостями, в общем случае определяемыми алгоритмом обработки. Рассмотрим такой вариант на примере вычислительно трудоёмкого фрагмента задачи свёрточной нейронной сети [15].

Основными операциями свёрточной нейронной сети являются вычисления вида $\sum p \cdot w$. Напрямую реализовать свёрточную нейронную сеть на ЦФВУ с кольцевой коммутационной подсистемой, как на рис. 3, затруднительно из-за того, что каждой группе ФУ нужен свой набор данных из оперативной памяти ЦФВУ. Для преодоления этой проблемы необходимы дополнительные коммутаторы, обеспечивающие сопряжение между подсистемой взаимодействия с внешней оперативной памятью и коммутаторами групп ФУ. При этом организация вычислительных структур в ЦФВУ, ориентированных на реализацию свёрточных нейросетей, будет возможна в случае совмещения в коммутационной подсистеме иерархического и кольцевого подхода [16]. Для ЦФВУ с такой коммутационной подсистемой на рис. 4 показан пример вычислительной структуры, состоящей из двух ядер нейронной сети.

Для реализации вычислительной структуры двух свёрточных ядер в иерархическо-кольцевой ЦФВУ необходимо задействовать 18 групп ФУ: $\langle MUL_{1,1}; ADD_{1,1} \rangle$ - $\langle MUL_{1,9}; ADD_{1,9} \rangle$ и $\langle MUL_{2,1}; ADD_{2,1} \rangle$ - $\langle MUL_{2,9}; ADD_{2,9} \rangle$, 18 групповых полнодуплексных коммутаторов $SW_{1,1,1}$ - $SW_{1,1,9}$ и $SW_{1,2,1}$ - $SW_{1,2,9}$, два коммутатора второго уровня $SW_{2,1,1}$ и $SW_{2,1,2}$, один коммутатор третьего уровня $SW_{3,1,1}$, также обеспечивающий сопряжение с подсистемой внешней оперативной памяти RAM .

Вычислительная структура выполняет свёртку окном 3×3 над матрицами пикселей размерностью N по формуле

$$S_k^c = \sum_{i=1}^9 w_i^c \cdot p_{i,k},$$

где k – количество свёрток, для каждого c -го свёрточного ядра, определяемое как N^2 ;

c – порядковый номер свёрточного ядра в нейроне;

w_i^c – коэффициенты c -го ядра;

$p_{i,k}$ – значения пикселей изображения.

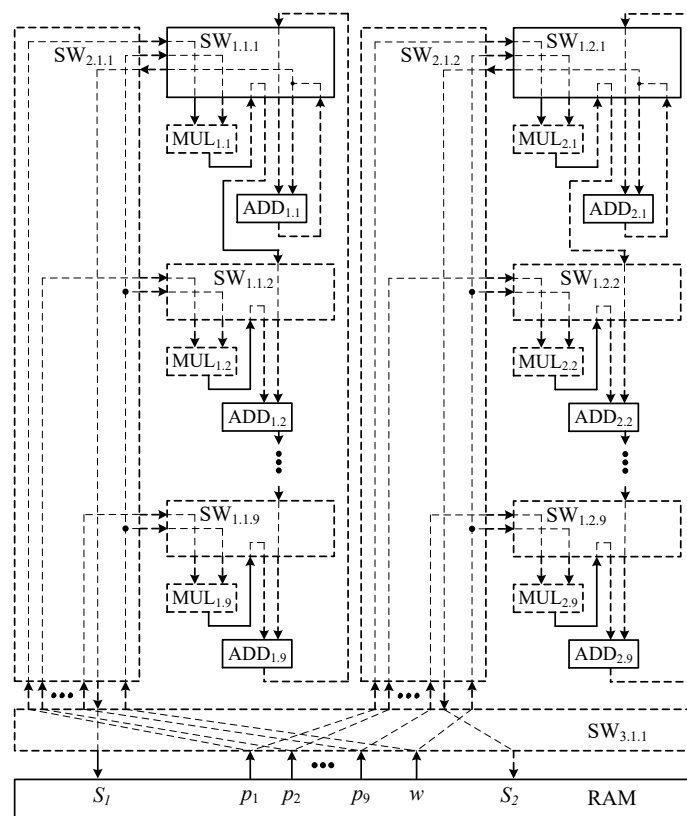


Рис. 4. Вычислительная структура двух свёрточных ядер на иерархическо-кольцевой ЦФВУ

Данная вычислительная структура характеризуется тем, что каждое ядро в соответствии с алгоритмом нейросети обрабатывает потоки данных $p_{i,k}$ своими девятью коэффициентами w_i^c . Стоит отметить, что в режиме исполнения нейросети коэффициенты w_i^c не меняются, а в режиме обучения частота изменения данных коэффициентов пренебрежимо мала по сравнению с количеством выполняемых операций свёртки [17]. Поэтому их целесообразно загружать по единому каналу в регистры умножителей $MUL_{1,1}$ – $MUL_{2,9}$, запоминая свой набор w_i^c для каждого ядра.

Проведенные исследования показали, что для синтеза вычислительной структуры, приведённой на рис. 4, необходимый аппаратный ресурс на реализацию коммутаторов $SW_{2,1,1}$ и $SW_{2,1,2}$ будет сопоставим с суммарным аппаратным ресурсом коммутаторов $SW_{1,1,1}$ – $SW_{1,1,9}$ и $SW_{1,2,1}$ – $SW_{1,2,9}$. Дальнейшее масштабирование также приведёт к необходимости задействовать коммутаторы более высоких уровней иерархии. Поэтому неизбежен рост накладных расходов на организацию обмена данными. Дальнейшее масштабирование нейросетевых задач и сопоставимых им по связности задач из областей молекулярного моделирования, обработки графов, дистанционного зондирования Земли и многих других, на ЦФВУ с иерархическо-кольцевой коммутационной подсистемой приведёт к снижению удельной производительности на 10–15% на каждый дополнительный уровень иерархии.

Ортогональная коммутационная подсистема. Значительно более экономной в плане аппаратных затрат на коммутаторы по сравнению с иерархическо-кольцевой коммутационной подсистемой, а также менее подверженной проблемам коллизий за счет наличия большого числа пространственных связей между четырьмя соседними коммутаторами, является ортогональная коммутационная подсистема [18]. Также преимущества

ортогональной подсистемы ЦФВУ обеспечивают большое количество аппаратных связей между коммутаторами и, соответственно, большая вариативность возможного положения маршрутов, что позволяет балансировать нагрузку при обмене данными. Недостатком можно отметить неравномерность длин связей – чем ближе коммутатор к «краю» ЦФВУ, тем вероятней всего более длинные маршруты придется прокладывать, чтобы обеспечить соединение его группы ФУ с другими группами ФУ с соответствующими затратами на синхронизацию потоков данных.

Рассмотрим на рис. 5 вариант отображения вычислительной структуры двух свёрточных ядер на ЦФВУ с ортогональной коммутационной подсистемой.

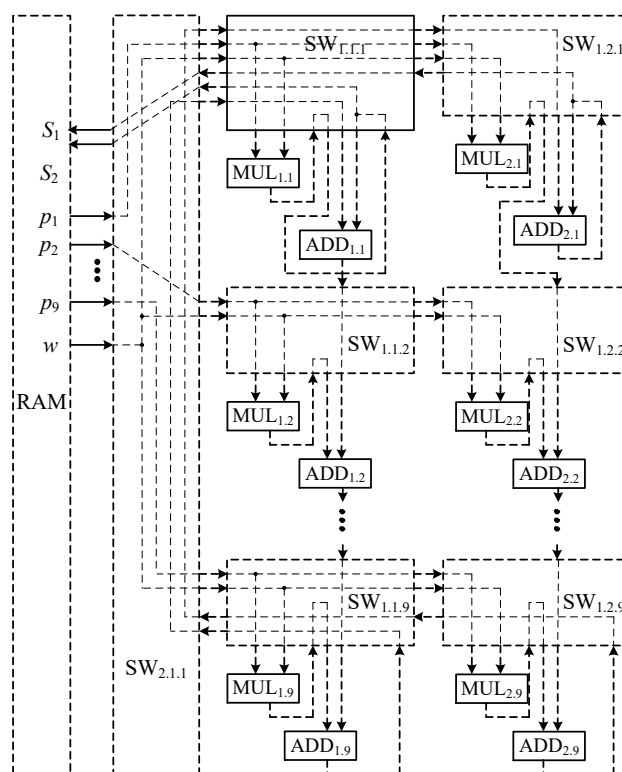


Рис. 5. Вычислительная структура двух свёрточных ядер на ЦФВУ с ортогональной коммутационной подсистемой

Для её реализации необходимо задействовать 18 групп ФУ: $\langle \text{MUL}_{1.1}; \text{ADD}_{1.1} \rangle$ - $\langle \text{MUL}_{1.9}; \text{ADD}_{1.9} \rangle$ и $\langle \text{MUL}_{2.1}; \text{ADD}_{2.1} \rangle$ - $\langle \text{MUL}_{2.9}; \text{ADD}_{2.9} \rangle$, 18 групповых полнодуплексных коммутаторов $\text{SW}_{1.1.1}$ - $\text{SW}_{1.1.9}$ и $\text{SW}_{1.2.1}$ - $\text{SW}_{1.2.9}$ и один коммутатор второго уровня $\text{SW}_{2.1.1}$, также обеспечивающий сопряжение с подсистемой внешней оперативной памяти RAM.

Несмотря на то что в представленной вычислительной структуре коммутаторы $\text{SW}_{1.1.1}$ - $\text{SW}_{1.1.9}$ и $\text{SW}_{1.2.1}$ - $\text{SW}_{1.2.9}$ требуют примерно на 25% больше аппаратных затрат, чем каждый аналогичный коммутатор иерархическо-кольцевой коммутационной подсистемы, общие аппаратные затраты на ортогональную коммутацию значительно ниже, поскольку задействован только один коммутатор второго уровня иерархии.

Еще более снизить нагрузку на подсистему коммутации и обеспечить равномерность возможностей доступа всех коммутаторов можно, модернизировав подсистему ортогональной коммутации до подсистемы тороидальной коммутации [18]. Вычислительная структура для данного варианта ЦФВУ представлена на рис. 6.

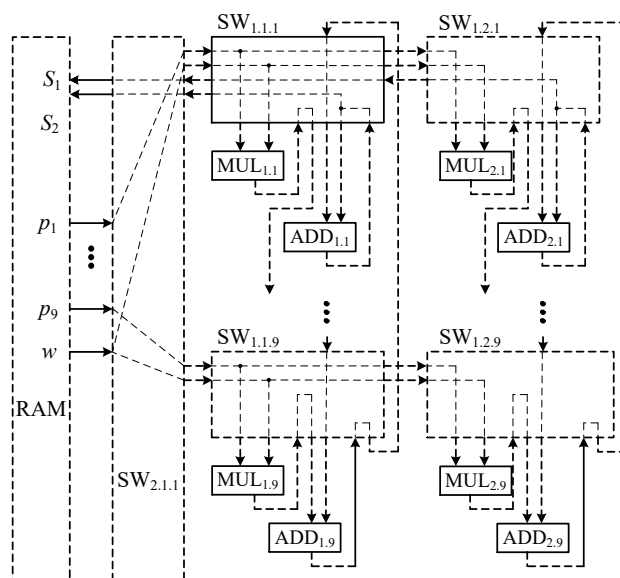


Рис. 6. Вычислительная структура двух свёрточных ядер на ЦФВУ с тороидальной коммутационной подсистемой

Сравнивая ЦФВУ с ортогональной и тороидальной коммутационной подсистемами, можно заметить, что при использовании тороидальной подсистемы коммутации связь между коммутаторами $SW_{1,1,1}$ и $SW_{1,1,9}$, $SW_{1,2,1}$ и $SW_{1,2,9}$ осуществляется напрямую, что также позволяет сократить аппаратные затраты на реализацию коммутатора $SW_{2,1,1}$ и значительно сокращает время прохождения сигналов. Подсистема тороидальной коммутации может быть эффективной за счёт обеспечения более равномерных условий прохождения сигналов между ФУ: здесь нет пограничных коммутаторов границ, для которых коммутаторам сложнее обеспечивать связь между ФУ. Однако такой вариант требует более качественного формирования кольцевых оптических каналов ЦФВУ, поскольку их длину будет определять геометрическое расстояние между коммутаторами $SW_{1,1,1}$ и $SW_{1,1,9}$, $SW_{1,2,1}$ и $SW_{1,2,9}$. Вероятнее всего потребуются обеспечение более высокой чистоты исполнения внутренней поверхности световодов и одинаковой их длины для обеспечения приемлемого коэффициента затухания [19,20]. В противном случае потребуется введение дополнительной синхронизации, например блоками выравнивания потоков операндов, описанными в [7].

Заключение. Проведенные исследования показали, что линейное масштабирование аппаратного ресурса ЦФВУ при решении сильносвязанных задач потенциально способно обеспечить близкий к линейному рост производительности. Для этого синтезируемые вычислительные структуры должны выполнять обработку данных в структурной парадигме. В зависимости от класса решаемых на ЦФВУ задач могут применяться различные подходы к организации коммутационной подсистемы обмена данными. Если разрабатываемые ЦФВУ будут ориентированы на задачи, в которых обрабатываются различного вида матрицы, более предпочтительным является кольцевой тип подсистемы коммутации, а для сложносоставных задач обработки нейронных сетей, молекулярного моделирования или дистанционного зондирования Земли более предпочтительными будут ортогональный или тороидальный типы коммутации.

Исследование выполнено в рамках научной программы Национального центра физики и математики, направление №1 «Национальный центр исследования архитектур суперкомпьютеров. Этап 2023-2025».

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Bérut Antoine*. Information and Thermodynamics: Experimental Verification of Landauer's Principle Linking Information and Thermodynamics. – URL: <https://arxiv.org/pdf/1503.06537.pdf> (дата обращения: 10.10.2024).
2. *Каляев А.В., Левин И.И.* Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. – М.: Янус-К, 2003. – 380 с.
3. *Степаненко С.А.* Фотонный компьютер: структура и алгоритмы, оценки параметров // *Фотоника*. – 2017. – № 7 / 67. – DOI: 10.22184/1993-7296.2017.67.7.72.83.
4. *Степаненко С.А.* Фотонная вычислительная машина. Принципы реализации. Оценки параметров // *Доклады Академии наук*. – 2017. – Т. 476, № 4. – С. 389-394. – DOI: 10.1134/S1064562417050234.
5. Chip war: China claims breakthrough in silicon photonics that could clear technical hurdle. – URL: <https://www.scmp.com/tech/tech-war/article/3281156/chip-war-china-claims-breakthrough-silicon-photonics-could-clear-technical-hurdle> (дата обращения: 10.10.2024).
6. *Сорокин Д.А., Левин И.И., Касаркин А.В.* Перспективная архитектура цифровой фотонной вычислительной машины // *Известия ЮФУ. Технические науки*. – 2022. – № 4 (2022). – С. 200-212. – DOI: 10.18522/2311-3103.2022.
7. *Sorokin D.A., Kasarkin A.V., Podoprigora A.V.* Elements of a Digital Photonic Computer // *Supercomputing Frontiers and Innovations*. – 2023. – Vol. 10, No. 2. – P. 62-76. – DOI: <https://doi.org/10.14529/jsfi230205>.
8. *Дейкстра Э.* Дисциплина программирования. – М.: Мир, 1978. – 278 с.
9. *Дордопуло А.И., Сорокин Д.А.* Методика сокращения аппаратных затрат в сложных системах при решении задач с существенно-переменной интенсивностью потоков данных // *Известия ЮФУ. Технические науки*. – 2012. – № 4 (129). – С. 194-199.
10. *Дордопуло А.И.* Применение методов редукции производительности для сокращения числа анализируемых вариантов параллельной программы // *Вестник компьютерных и информационных технологий*. – 2019. – № 9 (183). – С. 43-49. – DOI: 10.14489/vkit.2019.09.
11. *Kalyaev I.A., Levin I.I., Semernikov E.A., Shmoilov V.I.* Reconfigurable Multipipeline Computing Structures. – Published by Nova Science Publishers, Inc. (New York, USA), 2012. – 345 p. – ISBN 978-1-61942-854-6.
12. *Евстигнеев В.Г.* Недвоичные компьютерные арифметики // *Электроника и информатика* – 2005: Междунар. науч.-техн. конф. – М.: Ангстрем, 2006. – 774 с.
13. *B Devika Rani, Dr S Govindarajulu.* Implementation of modified vedic multiplier using on quaternary signed digit number system // *Journal of Engineering Sciences*. – 2022. – Vol. 13, Issue 12. – ISSN 0377-9254.
14. *Левин И.И., Пелипец А.В., Сорокин Д.А.* Решение задачи LU-декомпозиции на реконфигурируемых вычислительных системах: оценка и перспективы // *Известия ЮФУ. Технические науки*. – 2015. – № 6 (168). – С. 62-70.
15. *Николенко С., Кадуринов А., Архангельская Е.* Глубокое обучение. – СПб.: Питер, 2018. – 480 с. – (Серия «Библиотека программиста»). – ISBN 978-5-496-02536-2.
16. *Дерюгин А.А.* Коммутаторы вычислительных систем // *Вычислительные сети. Теория и практика*. – 2006. – № 1 (8). – URL: <https://network-journal.mpei.ac.ru/cgi-bin/main.pl?l=ru&n=8&pa=3&ar=1> (дата обращения: 10.10.2024).
17. *Шалев-Шварц Ш., Бен-Давид Ш.* Идеи машинного обучения: от теории к алгоритмам: пер. с англ. А.А. Слинкина. – М.: ДМК Пресс, 2019. – 436 с. – ISBN 978-5-97060-673-5.
18. *Хорошевский В.Г.* Архитектура вычислительных систем: учеб. пособие. – 2-е изд., перераб. и доп. – М.: Изд-во МГТУ им. Н.Э. Баумана, 2008. – 520 с. (Информатика в техническом университете). – ISBN 978-5-7038-3175-5.
19. *Коробейников А.Г., Гатчин Ю.А., Дукельский К.В., Тер-Нерсисянц Е.В.* Технологические методы снижения уровня оптических потерь в микроструктурированных волоконных световодах // *Научно-технический вестник информационных технологий, механики и оптики*. – 2014. – № 1 (89).
20. *Pavelyev V., Krivosheeva Y., Golovashkin D.* Genetic Optimization of the Y-Shaped Photonic Crystal NOT Logic Gate // *Photonics*. – 2023. – Vol. 10. – DOI: 10.3390/photonics10101173.

REFERENCES

1. *Bérut Antoine*. Information and Thermodynamics: Experimental Verification of Landauer's Principle Linking Information and Thermodynamics. Available at: <https://arxiv.org/pdf/1503.06537.pdf> (accessed 10 October 2024).
2. *Kalyaev A.V., Levin I.I.* Modul'no-narashchivaemye mnogoprotsessornye sistemy so strukturno-protsedurnoy organizatsiey vychisleniy [Modular-scalable multiprocessor systems with structural-procedural organization of computations]. Moscow: Yanus-K, 2003, 380 p.

3. *Stepanenko S.A.* Fotonnyy komp'yuter: struktura i algoritmy, otsenki parametrov [Photonic computer: structure and algorithms, parameter estimates], *Fotonika* [Photonics], 2017, No. 7 / 67. DOI: 10.22184/1993-7296.2017.67.7.72.83.
4. *Stepanenko S.A.* Fotonnaya vychislitel'naya mashina. Printsipy realizatsii. Otsenki parametrov [Photonic computing machine. Implementation principles. Parameter estimates], *Doklady Akademii nauk* [Reports of the Academy of Sciences], 2017, Vol. 476, № 4. – S. 389-394. – DOI: 10.1134/S1064562417050234.
5. Chip war: China claims breakthrough in silicon photonics that could clear technical hurdle. Available at: <https://www.scmp.com/tech/tech-war/article/3281156/chip-war-china-claims-breakthrough-silicon-photonics-could-clear-technical-hurdle> (accessed 10 October 2024).
6. *Sorokin D.A., Levin I.I., Kasarkin A.V.* Perspektivnaya arkhitektura tsifrovoy fotonnoy vychislitel'noy mashiny [Promising architecture of a digital photonic computing machine], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2022, No. 4 (2022), pp. 200-212. DOI: 10.18522/2311-3103.2022.
7. *Sorokin D.A., Kasarkin A.V., Podoprigora A.V.* Elements of a Digital Photonic Computer, *Supercomputing Frontiers and Innovations*, 2023, Vol. 10, No. 2, pp. 62-76. DOI: <https://doi.org/10.14529/jsfi230205>.
8. *Deykstra E.* Distiplina programmirovaniya [Programming discipline]. Moscow: Mir, 1978, 278 p.
9. *Dordopulo A.I., Sorokin D.A.* Metodika sokrashcheniya apparatnykh zatrat v slozhnykh sistemakh pri reshenii zadach s sushchestvenno-peremennoy intensivnost'yu potokov dannykh [Methodology for reducing hardware costs in complex systems when solving problems with significantly variable data flow intensity], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2012, No. 4 (129), pp. 194-199.
10. *Dordopulo A.I.* Primenenie metodov reduksii proizvoditel'nosti dlya sokrashcheniya chisla analiziruemyykh variantov parallel'noy programmy [Application of performance reduction methods to reduce the number of analyzed variants of a parallel program], *Vestnik komp'yuternykh i informatsionnykh tekhnologiy* [Bulletin of Computer and Information Technologies], 2019, No. 9 (183), pp. 43-49. DOI: 10.14489/vkit.2019.09.
11. *Kalyaev I.A., Levin I.I., Semernikov E.A., Shmoilov V.I.* Reconfigurable Multipipeline Computing Structures. Published by Nova Science Publishers, Inc. (New York, USA), 2012, 345 p. ISBN 978-1-61942-854-6.
12. *Evstigneev V.G.* Nedvoichnye komp'yuternye arifmetiki [Non-binary computer arithmetic], *Elektronika i informatika – 2005: Mezhdunar. nauch.-tekhn. konf.* [Electronics and Information Science – 2005: International Scientific and Technical Conference]. Moscow: Angsrem, 2006, 774 p.
13. *B Devika Rani, Dr S Govindarajulu.* Implementation of modified vedic multiplier using on quaternary signed digit number system, *Journal of Engineering Sciences*, 2022, Vol. 13, Issue 12. ISSN 0377-9254.
14. *Levin I.I., Pelipets A.V., Sorokin D.A.* Reshenie zadachi LU–dekompozitsii na rekonfiguriruemyykh vychislitel'nykh sistemakh: otsenka i perspektivy [Solution of the LU-decomposition problem on reconfigurable computing systems: assessment and prospects], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2015, No. 6 (168), pp. 62-70.
15. *Nikolenko S., Kadurin A., Arkhangel'skaya E.* Glubokoe obucheniye [Deep learning]. Saint Petersburg: Piter, 2018, 480 p. (Seriya «Biblioteka programmista» [Series "Programmer's Library"]). ISBN 978-5-496-02536-2.
16. *Deryugin A.A.* Kommutatory vychislitel'nykh sistem [Switches of computing systems], *Vychislitel'nye seti. Teoriya i praktika* [Computing networks. Theory and practice], 2006, No. 1 (8). Available at: <https://network-journal.mpei.ac.ru/cgi-bin/main.pl?l=ru&n=8&pa=3&ar=1> (accessed 10 October 2024).
17. *Shalev-Shvarts Sh., Ben-David Sh.* Idei mashinnogo obucheniya: ot teorii k algoritmam [Machine learning ideas: from theory to algorithms]: trans. from engl. by. A.A. Slinkina. Moscow: DMK Press, 2019, 436 p. ISBN 978-5-97060-673-5.
18. *Khoroshevskiy B.G.* Arkhitektura vychislitel'nykh sistem: ucheb. posobie [Architecture of computing systems: a tutorial]. 2nd ed. Moscow: Izd-vo MGTU im. H.E. Bauman, 2008, 520 p. (Informatika v tekhnicheskoy universitete [Informatics at a technical university]). ISBN 978-5-7038-3175-5.
19. *Korobeynikov A.G., Gatchin Yu.A., Dukel'skiy K.V., Ter-Nersesyants E.V.* Tekhnologicheskie metody snizheniya urovnya opticheskikh poter' v mikrostrukturirovannykh volokonnykh svetovodakh [Technological methods for reducing the level of optical losses in microstructured fiber optics], *Nauchno-tekhnicheskiiy vestnik informatsionnykh tekhnologiy, mekhaniki i optiki* [Scientific and technical bulletin of information technologies, mechanics and optics], 2014, No. 1 (89).
20. *Pavelyev V., Krivosheeva Y., Golovashkin D.* Genetic Optimization of the Y-Shaped Photonic Crystal NOT Logic Gate, *Photonics*, 2023, Vol. 10. DOI: 10.3390/photonics10101173.

Статью рекомендовал к опубликованию д.т.н. Э.В. Мельник.

Сорокин Дмитрий Анатольевич – НИЦ супер-ЭВМ и нейрокомпьютеров; e-mail: jotun@inbox.ru; г. Таганрог, Россия; тел.: +79508668253; начальник отдела; к.т.н.

Касаркин Алексей Викторович – e-mail: kav589@mail.ru; тел.: +79045065636; научный сотрудник; к.т.н.

Sorokin Dmitriy Anatolyevich – Supercomputers and Neurocomputers Research Center; e-mail: jotun@inbox.ru; Taganrog, Russia; phone: +79508668253; chief of department; cand. of eng. sc.

Kasarkin Alexey Viktorovich – e-mail: kav589@mail.ru; phone: +79045065636; research scientist; cand. of eng. sc.

УДК 537.876

DOI 10.18522/2311-3103-2024-5-185-194

М. Пленингер, С.В. Балакирев, М.С. Солодовник

**МОДЕЛИРОВАНИЕ РАСПРЕДЕЛЕНИЯ НАПРЯЖЕННОСТИ
ЭЛЕКТРИЧЕСКОГО ПОЛЯ В ПОЛНОСТЬЮ ОПТИЧЕСКОМ ЛОГИЧЕСКОМ
КОМПАРАТОРЕ НА ОСНОВЕ ФОТОННОГО КРИСТАЛЛА GaAs**

Фотонные кристаллы – полупроводниковые структуры с фотонной запрещенной зоной – вызывают большой интерес у научного сообщества. Они представляют собой новый класс оптических материалов, обладающих пространственной периодической модуляцией диэлектрической проницаемости с периодом, близким к длине волны излучения. Интерес к этим структурам объясняется их значимостью для фундаментальных исследований взаимодействия излучения с веществом и потенциалом создания оптоэлектронных устройств следующего поколения. В данной работе представлены результаты моделирования компактного оптического логического компаратора на фотонном кристалле GaAs, работающем во втором окне прозрачности оптического волокна (длина волны 1.3 мкм). Модельный компаратор представляет собой среду с двумя входными и двумя выходными оптическими каналами. При вводе излучения в один из входов компаратора соответствующий выходной канал пропускает излучение, символизируя логическую единицу. В случае отсутствия сигналов на входных каналах либо ввода сигналов в оба входа, оба выходных канала не пропускают излучение, символизируя логические нули. Каналы в компараторе создаются с помощью пересекающихся волноводов, сформированных в двумерном фотонном кристалле GaAs, который состоит из набора цилиндрических кристаллов (столбцов) GaAs с диаметром от 130 до 170 нм, встроенных в вакуумную среду с периодом от 450 до 750 нм. Для обеспечения затухания электромагнитных волн, вводимых в компаратор в оба входных канала, в месте пересечения волноводов встроены дефектные столбцы GaAs с меньшим диаметром. Проведено исследование влияния диаметра столбцов и периода между столбцами фотонного кристалла GaAs на закономерности распространения электромагнитного излучения в среде оптического компаратора. На основании анализа отношения уровней интенсивности сигналов на входах и выходах устройства, установлено, что оптимальный диаметр столбцов GaAs и расстояние между ними, при которых структура в наибольшей степени соответствует требованиям работы оптического логического компаратора, составляет 155 и 600 нм соответственно.

Фотонный кристалл GaAs; оптический компаратор; моделирование.

M. Pleninger, S.V. Balakirev, M.S. Solodovnik

**SIMULATION OF THE ELECTRIC FIELD STRENGTH DISTRIBUTION IN
AN ALL-OPTICAL LOGIC COMPARATOR BASED ON THE GaAs PHOTONIC
CRYSTAL**

Photonic crystals, semiconductor structures with a photonic band gap, are of great interest to the scientific community. They represent a new class of optical materials with spatial periodic modulation of permittivity with a period close to the wavelength of radiation. Interest in these structures is explained by their importance for fundamental studies of the interaction of radiation with matter and the potential for creating next-generation optoelectronic devices. This paper presents the results of modeling a compact optical logic comparator based on a GaAs photonic crystal operating in the second transparency window of an optical fiber (wavelength of 1.3 μm). The model comparator is a medium with two input and two