

И.И. Левин, Д.А. Сорокин, А.В. Касаркин

ПЕРСПЕКТИВНАЯ АРХИТЕКТУРА ЦИФРОВОЙ ФОТОННОЙ ВЫЧИСЛИТЕЛЬНОЙ МАШИНЫ

Высокоэффективное решение современных трудоёмких задач математической физики требует постоянного наращивания производительности используемых вычислительных средств. Однако в настоящее время развитие их элементной базы замедляется в силу ограничений, накладываемых технологическими, производственными и эксплуатационными процессами. Один из вариантов преодоления кризиса роста производительности вычислительной техники заключается в развитии цифровых фотонных вычислительных машин (ЦФВМ). Предлагаемая авторами архитектура ЦФВМ состоит из функциональной подсистемы, подсистем синхронизации и коммутации потоков данных и фотонно-электронных интерфейсов обмена данными с внешними устройствами. Изложены принципы работы каждой подсистемы. Функциональная подсистема представляет собой совокупность устройств ЦФВМ, обеспечивающих выполнение арифметико-логических операций в формате 64-разрядной плавающей запятой стандарта IEEE754 и реализованных по схеме линейного конвейера с обработкой младшими разрядами вперёд. Подсистема синхронизации обеспечивает единый темп потоков данных между различными функциональными устройствами ЦФВМ, объединёнными в вычислительную структуру. Подсистема коммутации на этапе программирования ЦФВМ или в процессе решения задачи при выполнении условных переходов управляет потоками данных в соответствии с топологией вычислительной структуры. Для обмена данными ЦФВМ с внешними устройствами предлагается применение технологии сериализации низкочастотных параллельных каналов и десериализации высокочастотных последовательных каналов. Приведены теоретические оценки производительности реализуемых на ЦФВМ вычислительных структур, подобных структурам, возникающим в задачах математической физики при обработке специальных матриц. Показано, что ЦФВМ за счёт величины тактовой частоты работы способны обеспечить производительность на два и более десятичных порядка больше по сравнению с микроэлектронными устройствами.

Цифровая фотонная вычислительная машина; суперкомпьютеры; архитектура ЦФВМ; структурная парадигма вычислений.

I.I. Levin, D.A. Sorokin, A.V. Kasarkin

PERSPECTIVE ARCHITECTURE OF DIGITAL PHOTONIC COMPUTER

Modern computationally intensive tasks of mathematical physics require continuous increasing of the performance of computer equipment used for their highly efficient solution. However, at present, the development of their electronic components is slowing down due to limitations of technological production and operational processes. One of the ways to overcome the computer productivity growth crisis is the development of digital photonic computers (DPC). In the paper we suggest a promising DPC architecture, which consists of a functional subsystem, data stream synchronization and switching subsystems, and photonic-electronic interfaces of data exchange with external devices. We describe the principles of each subsystem. The functional subsystem is a set of DPC devices that provide 64-bit floating point arithmetic logic operations (according to the IEEE754 standard), implemented as linear pipelines with processing of least significant bits forward. The synchronization subsystem provides a single rate of data flow among various functional devices of the DPC, combined into a computing structure. According to the topology of the computing structure, the switching subsystem controls the data streams at the stage of DPC programming or during processing according to conditional transitions. For data exchange between the DPC and external devices, we suggest the technology of serialization of low-frequency parallel channels and deserialization of high-frequency serial channels. We give a theoretical evaluation of

the performance of the computing structures implemented on the DPC, which is similar to the structures of mathematical physics problems concerning processing of special matrices. We show that DPCs, due to their clock frequency, can provide the performance that exceeds the performance of microelectronic devices by two and more orders of magnitude.

Digital photonic computer; supercomputers; architecture of DPC; paradigm of structural calculations.

Введение. Высокопроизводительные вычислительные системы применяются для решения вычислительных задач во многих перспективных научных исследованиях из области газодинамики и физики взрыва, ядерной и радиационной физики, физики плазмы и инерциального термоядерного синтеза. Используемые в указанных задачах численные методы характеризуются алгоритмической сложностью и требуют высокоточной обработки за приемлемое время. При этом моделируемые объекты и процессы постоянно совершенствуются и усложняются, что приводит к пропорциональному увеличению объёма обрабатываемых данных.

В то же время темп развития высокопроизводительных систем замедляется [1]. Связано это с тем, что в течение последних двух десятилетий увеличение быстродействия микроэлектронной элементной базы обеспечивалось за счёт роста тактовых частот и степени интеграции. В начале 2000-х годов стало ясно, что «экспоненциальный рост этих физических величин в течение длительного времени невозможен, и лишь эволюция транзисторов и технологий их изготовления позволяла продлить действие закона Мура еще на несколько поколений» [2, 3].

Однако с ростом степени интеграции и частот работы современных процессоров отвод тепла с кристалла начинает играть определяющую роль в построении высокопроизводительных систем [4]. Постоянный рост потребляемой мощности с сохранением геометрических размеров полупроводниковых кристаллов требует от разработчиков массы усилий для повышения энергоэффективности устройств, чем углубляет кризис современных микроэлектронных технологий и сводит на нет возможность постоянного увеличения производительности современных систем.

Один из возможных вариантов преодоления барьера в росте производительности вычислительных систем заключается в развитии цифровых фотонных вычислительных машин [5, 6] – устройств, вычисления в которых производятся с помощью светового тока, излучаемого лазером, что аналогично электрическому току, создаваемому генератором, в современной микроэлектронике.

Попытки создать цифровую фотонную вычислительную машину начинаются с 1990 года, когда компания Bell Labs представила первый макет оптического компьютера [7]. В 1991 году компания OptiComp представила 32-разрядный цифровой оптический компьютер общего назначения DOC II [8]. В 2015 году лаборатория ORNL провела ряд исследований по оценке скорости решения задачи БПФ на вычислительной системе EnLight Alpha, построенной на оптическом процессоре EnLight 256, в сравнении с вычислительной системой, построенной на двух процессорах Intel Xeon 2 ГГц [9]. Проведенные исследования показали более чем 13000 кратное ускорение по времени решения задачи, достигаемое на EnLight Alpha.

Рассмотренные системы представляют собой гибрид традиционных микроэлектронных компонент и аналоговых корреляторов со свойственными им проблемами, такими как низкая точность получаемых результатов, отсутствие повторяемости вычислений, ограниченная универсальность, сложность масштабирования (объём задействованного оборудования растёт с увеличением сложности задачи). Как отмечают исследователи из ORNL [9], скорость вычислений на EnLight Alpha находится в обратно пропорциональной зависимости от точности. В то же время для задач из области математической физики требуется выполнять обработку в высокоточных форматах представления данных, таких как стандарт IEEE 754.

Поэтому для обеспечения высокой скорости и точности вычислений в процессе решения задач целесообразно разрабатывать полностью цифровую фотонную вычислительную машину, обработка информации в которой выполняется фотонными логическими вентилями, такими как NOT, AND, OR, NAND, NOR, XOR, XNOR [10, 11] и построенными на их базе триггерами и функциональными устройствами.

Анализ архитектур вычислительных систем. При выборе архитектуры перспективной ЦФВМ исследованы архитектуры существующих вычислительных систем. Установлено, что архитектура фон-Неймана [12] и её производные типа SIMD, MIMD и др. [13, 14] имеют непреодолимые недостатки. Производительность таких систем всегда ограничена правилами взаимодействия процессоров и памяти, порождающими эффект «бутылочного горла». Даже при соответствии частоты работы памяти частоте работы процессора [15], в данном случае частоте ЦФВМ, эти проблемы не устраняются полностью. Более того, отсутствие ближайших перспектив создания фотонной памяти [16-19] требует соответствующего увеличения пропускной способности электронной памяти за счёт ширины её каналов обмена и накладных аппаратных расходов на организацию электронно-фотонных интерфейсов.

Проблемы архитектуры фон-Неймана и ей подобных пытались решить еще с середины 20 века. В результате были созданы архитектуры потока токенов и потока запросов, определяющие последовательность или одновременность вычислений не командами, а готовностью операндов и наличием свободного функционального арифметического устройства.

Архитектура потока токенов [20] в исходной постановке предполагает обмена токенами между исполнительными устройствами через оперативную память. При этом для ускорения процесса поиска пар токенов память должна быть ассоциативной [21]. При большом числе токенов, ожидающих свою пару на исполнение, такое решение не эффективно, поскольку требует ещё больших накладных расходов на организацию ассоциативной памяти достаточного объёма, удовлетворяющей пропускной способности ЦФВМ, по сравнению с расходами в архитектуре фон-Неймана [22].

Архитектура потока запросов или редукционная вычислительная модель [23–25] позволяет устранить необходимость в ассоциативной памяти в процессе решения задачи за счёт динамического отображения информационного графа на вычислительный ресурс. Для этого постоянно выполняется поиск путей обмена между исполнительными устройствами, реализующими вершины информационного графа. Возникающие при этом временные потери могут быть устранены только полностью связанной коммутационной системой, требующей больших расходов на оборудование. Если же коммутационная система не будет полностью связанной, то при решении реальной прикладной задачи большая часть исполнительных устройств будет занята не выполнением непосредственных вычислений, а хранением промежуточных результатов и их передачей для последующих вычислений в другие исполнительные устройства. Вычислительное оборудование будет задействовано неэффективно.

Перспективной на сегодняшний день архитектурой, лишённой большинства описанных недостатков, является архитектура потока операндов со структурной парадигмой вычислений [26, 27]. Данной парадигме свойственно отсутствие таких процессов, как «передача управления», «кэширование данных», «формирование последовательности инструкций». Функциональные устройства (ФУ) архитектуры потока операндов выполняют только информационно значимые преобразования. При этом выполняется конвейерная обработка данных в темпе их поступления на

вход. Все информационно незначимые операции, такие как синхронизация, коммутация, выбор источника данных реализованы путем пространственной коммутации и синхронизации. Данные после обработки по физическим каналам потоком поступают на следующее ФУ в соответствии с информационным графом задачи, а не буферизируются в памяти. Это минимизирует накладные расходы, связанные с пересылками данных и позволяет значительно сократить память для хранения результатов промежуточных вычислений.

Перспективная архитектура ЦФВМ. Предложенная авторами архитектура ЦФВМ представляет собой совокупность четырёх подсистем: функциональные узлы, выполняющие арифметико-логические преобразования над данными, подсистема синхронизации потоков данных, подсистема коммутации потоков данных и фотонно-электронных интерфейсы обмена данными с внешними устройствами.

На рис. 1 представлена предлагаемая архитектура ЦФВМ, где RAM – оперативная память типа DDR SDRAM с частотой работы порядка 1 ГГц; ОП – преобразователи электрического сигнала в оптический и наоборот; S и dS – соответственно сериализаторы и десериализаторы [28], обеспечивающие переход между частотой памяти и частотой работы ОП; S^ϕ и dS^ϕ – соответственно сериализаторы и десериализаторы, построенные на фотонной логике и обеспечивающие переход между частотой работы ОП и частотой ЦФВМ; ФУ – функциональные устройства, выполняющие арифметико-логические операции.

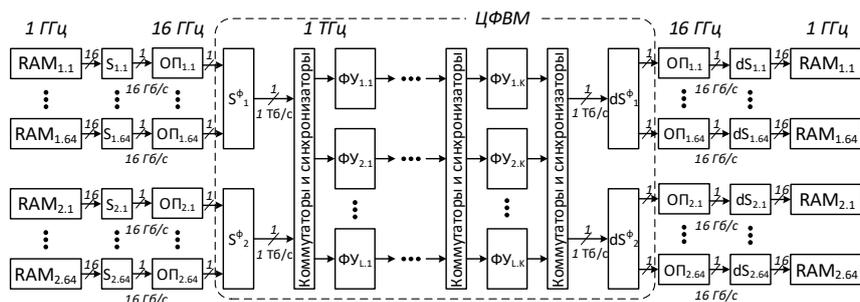


Рис. 1. Архитектура ЦФВМ

В архитектуре ЦФВМ важно сохранить частоту обработки данных порядка 1 ТГц как основное преимущество, поэтому данные из RAM должны поступать с такой же скоростью. Соответствующую пропускную способность в настоящее время можно обеспечить только за счет многоканального доступа путём применения трансиверов на основе технологии сериализации (десериализации) S (dS), выполняя при этом мультиплексирование (демультиплексирование) с разделением по времени [29]. Современные мультигигабитные трансиверы способны передавать данные на частотах до 50 Гбит/с. На рис. 1 в качестве примера показаны S (dS) с пропускной способностью 16 Гбит/с по одному разряду. Для передачи данных плотным потоком через один S (dS) необходимо использовать 16-разрядный канал памяти RAM на частоте 1 ГГц.

Аналогично S (dS) в ЦФВМ должны быть фотонные сериализаторы (десериализаторы) S^ϕ (dS^ϕ), обеспечивающие частоту передачи данных на уровне 1 ТГц.

S^ϕ (dS^ϕ), в отличие от S (dS), необходимо строить на фотонной логике. На рисунке 1 представлены S^ϕ , которые объединяют 64 однобитных канала на частоте 16 ГГц в однобитный канал, передающий данные на частоте 1,024 ТГц.

При выдаче данных из ЦФВМ в RAM все преобразования выполняются аналогично, но в обратной последовательности.

Таким образом, для того чтобы сохранить высокую частоту обработки данных для каждого бита фотонного канала ЦФВМ, требуется задействовать около 1000 бит из электронных каналов памяти. Вычислительно трудоемкие задачи математической физики, цифровой обработки сигналов и многие другие задачи требуют высокой точности обработки данных. Поэтому ЦФВМ должна поддерживать обработку данных в формате 64-разрядной плавающей запятой по стандарту IEEE 754. Как правило, в вычислительных системах разряды передаются и обрабатываются параллельно. Тогда вообще требуемое число бит каналов памяти $\mu_{мет}$ можно оценить по следующей формуле:

$$\mu_{мет} = 1000 \cdot \rho \cdot \sigma = 64000 \cdot \sigma,$$

где ρ – разрядность операндов, σ – число входных и выходных каналов данных ЦФВМ.

При проектировании ЦФВМ такое большое число каналов памяти может стать критическим ресурсом что, для сохранения равенства темпа обработки данных темпу их поступления, приведет к необходимости снижения частоты работы ЦФВМ, а значит, и ее производительности. Для сокращения общего числа бит каналов памяти с сохранением частоты обработки данных порядка 1 ТГц и соответствующей производительности ЦФВМ следует выполнять обработку не параллельными, а последовательными разрядами. Для этого вначале необходимо выполнить редукцию по разрядности. Для простоты рассуждений примем, что редукция выполняется со степенью 64. Применение редукции по разрядности также приводит к сокращению аппаратных затрат за счет сокращения разрядности ФУ. Освободившийся вычислительный ресурс ЦФВМ при этом можно использовать для масштабирования вычислительной структуры задачи по итерациям, увеличив число итераций в 64 раза. В результате требования к каналам памяти сокращаются, а объем задействованного вычислительного ресурса остаётся аналогичным, и частота обработки данных не меняется, поэтому производительность ЦФВМ останется на прежнем уровне. При этом каналы данных и ФУ становятся одноразрядными.

Разрабатываемые ФУ ЦФВМ должны выполнять различные арифметические и математические преобразования, например, такие как суммирование, умножение, деление, взятие квадратного корня с поддержкой стандарта IEEE 754. Кроме того, при структурной организации вычислений высокой эффективности можно добиться, если ФУ будут обрабатывать данные в темпе их поступления. Поэтому ФУ следует строить по схеме линейного конвейера с обработкой данных младшими разрядами вперёд, а в операциях над разрядами, требующих учёта переноса, использовать принцип «отложенного переноса», который, в отличие от «ускоренного», не требует выделенных коммутационных линий.

Структурная организация вычислений в предлагаемой ЦФВМ предполагает конвейерную обработку данных в едином темпе, равном темпу поступления данных на вход, что требует коммутации и синхронизации работы ФУ и фрагментов вычислительной структуры. Одними из основных элементов, используемых при синхронизации, являются регистр-защелка и синхронизаторы потоков данных, задерживающие поток на определенное число тактов. Реализовать регистр-защелку можно путём применения схемы типа «кольцевой буфер». Синхронизаторы же представляют собой последовательно соединённые триггеры ЦФВМ.

Очевидно, что построение элементов синхронизации в вычислительной структуре ЦФВМ оправдано при необходимости хранения данных объёмом порядка 10^1 - 10^3 бит и при синхронизации каналов передачи данных, если латентность ФУ или фрагментов вычислительных структур составляет порядка 10^1 - 10^3 тактов. Однако в вычислительных структурах сложных задач необходимо обеспечивать хранение промежуточных данных объёмом порядка 10^4 и более бит или

обеспечивать синхронизацию потоков при латентности фрагментов вычислительных структур более 10^3 тактов. В таком случае потребуется подключение внешней памяти.

Для построения на ресурсе ЦФВМ вычислительных структур при большом числе ФУ, соответствующих используемой парадигме вычислений, целесообразно, чтобы коммутационная подсистема имела иерархическую топологию.

Пример иерархической коммутации приведён на рис. 2, на котором $SW_{i,j,k}$ – коммутаторы, где i – уровень иерархии, j – номер группы коммутаторов, которая подключена к одному вышестоящему коммутатору, k – номер коммутатора в группе, которая подключена к одному вышестоящему коммутатору; ФУ разделены по группам, каждая из которых подключается только к коммутатору первого уровня $SW_{1,j,k}$.

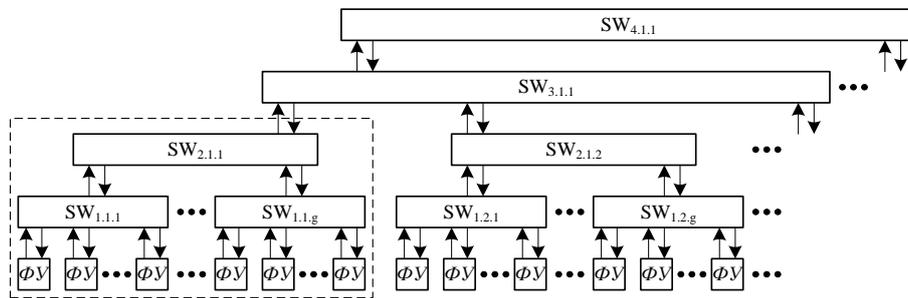


Рис. 2. Иерархическая коммутационная система

Коммутаторы $SW_{i,j,k}$ разделяются на два типа: статические и динамические. Статические коммутаторы включают в себя мультиплексоры и демультимплексоры, которые могут изменять свое состояние только на этапе синтеза вычислительной структуры, и состояние их не меняется на протяжении решения задачи. На управляющие входы таких элементов из внешних интерфейсов подаются константы, которые формируются на этапе трансляции программы.

Динамическая коммутационная система включает в себя динамические мультиплексоры и демультимплексоры, состояние которых зависит от данных, полученных после работы функциональных устройств. Также при необходимости динамические коммутационные устройства могут выполнять роль статических.

Рассмотрим пример конфигурации коммутационной системы при реализации на ЦФВМ вычислений по формуле $e = a \cdot b + \max(c, d)$. Для простоты рассуждений предположим, что в ЦФВМ имеется четыре группы одноразрядных ФУ, каждая из которых содержит по три однотипных ФУ (сумматоры, умножители, функция определения максимального числа и синхронизаторы). Соответствующая вычислительная структура представлена на рис. 3, где SUM – сумматоры, MUL – умножители, fmax – функция определения максимального числа (выдает 1 бит признака), synch – синхронизирующие устройства, MX_d – динамические мультиплексоры, SW – статическая коммутационная система.

Статические настройки коммутации, определяемые на этапе программирования ЦФВМ, показаны на рис. 3 в блоках SW пунктирными стрелками. Коммутатор $SW_{2,1,1}$ для удобства восприятия разделен на две части: $SW_{2,1,1}$ и $SW'_{2,1,1}$. Для реализации условного перехода при выборе максимального числа используется только один динамический коммутатор MX_d_on.

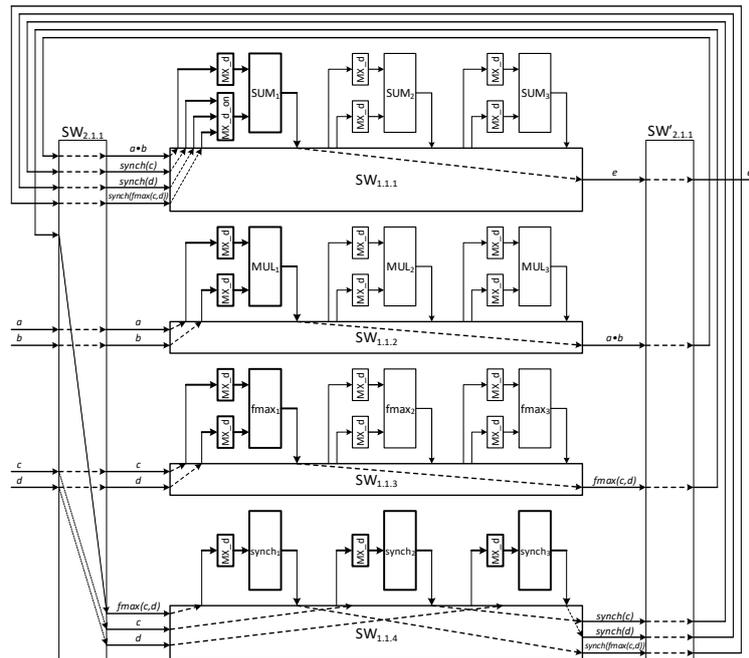


Рис. 3. Вычислительная структура, выполняющая $e = a \cdot b + \max(c, d)$

Теоретически оценить производительность P вычислительной структуры можно по следующей формуле:

$$P = \frac{f \cdot N}{S},$$

где f – частота работы вычислительных элементов;

N – число ФУ, выполняющих арифметические операции с плавающей запятой;

S – скважность поступления данных, определяющаяся как отношение частоты работы устройства к частоте поступления операндов во входных каналах.

При $f=1$ ТГц, $N=3$, $S=64$ теоретическая производительность вычислительной структуры составит $P=46,875$ Гфлопс, что соответствует производительности современных процессоров.

Проведены теоретические исследования производительности при решении пятидиагональных СЛАУ размерности 10^4 и шагом сетки 0,01 методом последовательных смещений, известном как метод Гаусса-Зейделя [30]. В процессе исследований синтезирована вычислительная структура из 60 последовательно соединённых конвейерных ступеней, каждая из которых выполняет итерацию алгоритма. При этом конвейерная ступень содержит пять однобитовых ФУ: четыре сумматора и один умножитель. Исследования показали, что такая вычислительная структура на ЦФВМ при условии её работы на частоте 1 ТГц решит задачу примерно за 430 мкс.

Оценка эффективности предлагаемых принципов построения архитектуры ЦФВМ была выполнена в сравнении с современными микроэлектронными вычислительными системами. Вычислительная структура из 60 конвейерных ступеней на одной ПЛИС XC7VX485T реконфигурируемой вычислительной системы «Тайгета» обеспечивает время решения указанных СЛАУ около 0,19 с., а процессор Intel Core i5-3570K 3.4 ГГц – около 3 с.

Таким образом, при решении указанной задачи, ЦФВМ опережает ПЛИС примерно в 440 раз, а процессор примерно в 7000 раз.

Заключение. Предлагаемая архитектура, сформулированные принципы построения ФУ, коммутации, синхронизации и сопряжения ЦФВМ и ЭВМ в перспективе позволят ЦФВМ эффективно задействовать доступный вычислительный ресурс и сохранить преимущество высокой частоты обработки данных над микроэлектронными устройствами.

Проведенные авторами исследования показывают, что ЦФВМ с архитектурой потоков данных и структурной организацией вычислений при решении вычислительно-трудоемких задач математической физики потенциально имеют возможность обеспечить производительность, превосходящую на два и более десятичных порядка производительность современных вычислительных систем при условии эквивалентного объема аппаратных затрат.

Работа выполнена в рамках научной программы Национального центра физики и математики (проект «Национальный центр исследования суперкомпьютеров»).

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Черняк Л.* Закон Амдала и будущее многоядерных процессоров // Открытые системы. СУБД, 2009. – № 04. – URL: <https://www.osp.ru/os/2009/04/9288815/> (дата обращения: 31.10.2022).
2. *Bérut Antoine.* Information and Thermodynamics: Experimental Verification of Landauer's Principle Linking Information and Thermodynamics. – URL: <https://arxiv.org/pdf/1503.06537.pdf> (дата обращения: 28.10.2022).
3. 10 лет до 10 нм: закон Мура все ещё работает // PCNews, 12.07.2008. – URL: <http://pcnews.ru/news/10-channalweb-intel-pat-gelsinger-100-tsmc-45-2009-1965-33-1971-1978-1989-1997-25-2005-65-pentium-233904.html> (дата обращения: 28.10.2022).
4. *Cerofolini C.F., Mascolo D.* Hybrid Route From CMOS to Nano and Molecular Electronics // Nanotechnology for electronic materials and devices. – Springer Science+Business Media, LLC, 2007. – P. 1-65.
5. *Степаненко С.А.* Фотонный компьютер: структура и алгоритмы, оценки параметров // Фотоника. – 2017.– № 7 / 67. – DOI: 10.22184/1993-7296.2017.67.7.72.83.
6. *Степаненко С.А.* Фотонная вычислительная машина. Принципы реализации. Оценки параметров // Доклады Академии наук. – 2017. – Т. 476, № 4. – С. 389-394. – DOI: 10.1134/S1064562417050234.
7. *Henri H. Arsenaull, Yunlong Sheng.* An Introduction to Optics in Computers. Vol. 8 of Tutorial texts in optical engineering. – SPIE Press, 1992.
8. *Richard V. Stone; Frederick F. Zeise and Peter S. Guilfoylev.* DOC II 32-bit digital optical computer: optoelectronic hardware and software // Proc. SPIE 1563, Optical Enhancements to Computing Technology, 267 (December 1, 1991). – DOI: 10.1117/12.49689.
9. *Jacob Barhen, Charlotte Kotas, Travis S Humble, Pramita Mitra, Neena Imam, Mark A Buckner, and Michael R Moore.* High performance FFT on multicore processors // In 2010 Proceedings of the Fifth International Conference on Cognitive Radio Oriented Wireless Networks and Communications. – IEEE, 2010. – P. 1-6.
10. Патент № 2677119 С1 Российская Федерация, МПК G02F 3/00, G02F 1/095. Полностью оптический логический базис на основе микрокольцевого резонатора: № 2018111870: заявл. 02.04.2018; опубл. 15.01.2019 / В.В. Шубин, К.И. Балашов; заявитель Российская Федерация, от имени которой выступает Государственная корпорация по атомной энергии "Росатом", Федеральное государственное унитарное предприятие "Российский федеральный ядерный центр – Всероссийский научно-исследовательский институт экспериментальной физики" (ФГУП "РФЯЦ-ВНИИЭФ").
11. *Tamer A. Moniem.* All-optical XNOR gate based on 2D photonic-crystal ring resonators // Quantum Electronics. – 2017. – 47 (2): 169. – DOI: 10.1070/QEL16279.
12. *Бэкус Дж.* Можно ли освободить программирование от стиля фон Неймана? Функциональный стиль и соответствующая алгебра программ, Исследовательская лаборатория IBM, Сан Хосе, 1977.
13. *Flynn M.J.* Very High-Speed Computing System // Proceedings IEEE. – 1966. – No. 54. – P. 1901-1909.
14. *Flynn M.J.* Some Computer Organizations and their Effectiveness // IEEE Transactions on Computers. – Sep. 1972. – Vol. 24. – P. 948-960.

15. *Wulf W.A., McKee S.A.* Hitting the Memory Wall: Implications of the Obvious // *Computer Architecture News*. – Mar. 1995. – Vol. 23, No. 1. – P. 20-24.
16. Next generation photonic memory devices are 'light-written', ultrafast and energy efficient. – 2019. – Режим доступа: <https://www.tue.nl/en/news/news-overview/10-01-2019-next-generation-photonic-memory-devices-are-light-written-ultrafast-and-energy-efficient/> (дата обращения: 31.10.2022).
17. Using light for next-generation data storage. – 2018. – Режим доступа: <https://phys.org/news/2018-06-next-generation-storage.html>.
18. *Qiming Zhang, Zhilin Xia, Yi-Bing Cheng & Min Gu.* High-capacity optical long data memory based on enhanced Young's modulus in nanoplasmonic hybrid glass composites. – 2018. – Режим доступа: <https://phys.org/news/2018-06-next-generation-storage.html>.
19. *Гордеев А., Войтович В., Святец Г.* Перспективные фотонные и фононные отечественные технологии для терагерцовых микропроцессоров, ОЗУ и интерфейса со сверхнизким энергопотреблением // *Современная электроника*. – № 2,22. – Режим доступа: <https://www.soel.ru/online/perspektivnyye-fotonnyye-i-fononnyye-otechestvennyye-tehnologii-dlya-teragertsovykh-mikroprotssessorov-o/>.
20. *Joseph Buck, Edward A. Lee.* The token flow model // *Data Flow Workshop*, Hamilton Island, Australia, May 1992.
21. *Ben Lee, Hurson A.R.* Dataflow Architectures and Multithreading // *IEEE Computer*. – 1994. – Vol. 27, No. 8. – P. 27-39.
22. *Кохонен Т.* Ассоциативные запоминающие устройства. – М.: Мир, 1982. – 384 с.
23. *Триливен Ф.К.* Модели параллельных вычислений // *Системы параллельной обработки* / под ред. Д. Ивенса. – М.: Мир, 1985. – С. 277-284.
24. *Miheli J., Cibej U.* Experimental Comparison of Matrix Algorithms for Dataflow Computer Architecture // in *Acta Electrotechnica et Informatica*. – 2018. – Vol. 18, No. 3. – P. 47-56.
25. *Yazdanpanah F., Alvarez-Martinez C., Jimenez-Gonzalez D. and Etsion Y.* Hybrid Dataflow/von-Neumann Architectures // in *IEEE Transactions on Parallel and Distributed Systems*. – June 2014. – Vol. 25, No. 6. – P. 1489-1509. – DOI: 10.1109/TPDS.2013.125.
26. *Каляев А.В., Левин И.И.* Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. – М.: Янус-К, 2003. – 380 с.
27. *Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И.* Реконфигурируемые мультиконвейерные вычислительные структуры. – Ростов-на-Дону: Изд-во ЮНЦ РАН, 2008. – 393 с.
28. *Dave Lewis SerDes.* Architectures and Applications. DesignCon 2004 National Semiconductor Corporation. – Режим доступа: https://chenweixiang.github.io/docs/SerDes_Architectures_and_Applications.pdf (дата обращения: 31.10.2022).
29. *Хелд Г.* Технологии передачи данных: пер. с англ. – 7-е изд. – СПб. и др.: Питер, 2003. – 715 с. – (Классика computer science).
30. *Шнаковский Г.И. Верхотуров А.Е.* Алгоритм параллельного решения СЛАУ методом Гаусса-Зейделя // *Вестник БГУ*. Сер. 1. – 2007. – № 1. – С. 44-48.

REFERENCES

1. *Chernyak L.* Закон Amdala i budushchee mnogoyadernykh protssessorov [Amdahl's Law and the future of multicore processors], *Otkrytye sistemy* [Open Systems]. SUBD, 2009, No. 04. Available at: <https://www.osp.ru/os/2009/04/9288815/> (accessed 31 October 2022).
2. *Bérut Antoine.* Information and Thermodynamics: Experimental Verification of Landauer's Principle Linking Information and Thermodynamics. Available at: <https://arxiv.org/pdf/1503.06537.pdf> (accessed 28 October 2022).
3. 10 let do 10 nm: zakon Mura vse eshche rabotaet [10 years to 10 nm: Moore's law still works], *PCNews*, 12.07.2008. Available at: <http://pcnews.ru/news/10-channalweb-intel-pat-gelsinger-100-tsmc-45-2009-1965-33-1971-1978-1989-1997-25-2005-65-pentium-233904.html> (accessed 28 October 2022).
4. *Cerofolini C.F., Mascolo D.* Hybrid Route From CMOS to Nano and Molecular Electronics, *Nanotechnology for electronic materials and devices*. Springer Science+Business Media, LLC, 2007, pp. 1-65.
5. *Stepanenko S.A.* Fotonnyy komp'yuter: struktura i algoritmy, otsenki parametrov [Photonic computer: structure and algorithms, parameter estimates], *Fotonika* [Photonics], 2017, No. 7 / 67. DOI: 10.22184/1993-7296.2017.67.7.72.83.

6. *Stepanenko S.A.* Fotonnaya vychislitel'naya mashina. Printsipy realizatsii. Otsenki parametrov [Photonic computing machine. Principles of implementation. Parameter estimates], *Doklady Akademii nauk* [Reports of the Academy of Sciences], 2017, Vol. 476, No. 4, pp. 389-394. DOI: 10.1134/S1064562417050234.
7. *Henri H. Arsenault, Yunlong Sheng.* An Introduction to Optics in Computers. Vol. 8 of Tutorial texts in optical engineering. SPIE Press, 1992.
8. *Richard V. Stone; Frederick F. Zeise and Peter S. Guilfoylev.* DOC II 32-bit digital optical computer: optoelectronic hardware and software, *Proc. SPIE 1563, Optical Enhancements to Computing Technology*, 267 (December 1, 1991). DOI: 10.1117/12.49689.
9. *Jacob Barhen, Charlotte Kotas, Travis S Humble, Pramita Mitra, Neena Imam, Mark A Buckner, and Michael R Moore.* High performance FFT on multicore processors, *In 2010 Proceedings of the Fifth International Conference on Cognitive Radio Oriented Wireless Networks and Communications.* IEEE, 2010, pp. 1-6.
10. *Shubin V.V., Balashov K.I.* Patent № 2677119 C1 Rossiyskaya Federatsiya, MPK G02F 3/00, G02F 1/095. Polnost'yu opticheskiy logicheskiy bazis na osnove mikrokol'tsevogo rezonatora: № 2018111870: zayavl. 02.04.2018: opubl. 15.01.2019; zayavitel' Rossiyskaya Federatsiya, ot imeni kotoroy vystupaet Gosudarstvennaya korporatsiya po atomnoy energii "Rosatom", Federal'noe gosudarstvennoe unitarnoe predpriyatie "Rossiyskiy federal'nyy yadernyy tsentr – Vserossiyskiy nauchno-issledovatel'skiy institut eksperimental'noy fiziki" (FGUP "RFYATS-VNIIEF") [Patent No. 2677119 C1 Russian Federation, IPC G02F 3/00, G02F 1/095. A fully optical logical basis based on a micro-ring resonator: No. 2018111870: declared 02.04.2018: published 15.01.2019; the applicant is the Russian Federation, on behalf of which the State Atomic Energy Corporation Rosatom, the Federal State Unitary Enterprise Russian Federal Nuclear Center - All-Russian Research Institute of Experimental Physics (FSUE RFNC-VNIIEF).
11. *Tamer A. Moniem.* All-optical XNOR gate based on 2D photonic-crystal ring resonators, *Quantum Electronics*, 2017, 47 (2): 169. DOI: 10.1070/QEL16279.
12. *Bekus Dz.* *Mozhno li osvobodit' programmirovaniye ot stilya fon Neymana? Funktsional'nyy stil' i sootvetstvuyushchaya algebra programm*, Issledovatel'skaya laboratoriya IBM, San Khose, 1977 [Is it possible to free programming from the von Neumann style? Functional Style and the corresponding algebra of programs, IBM Research Laboratory, San Jose, 1977].
13. *Flynn M.J.* Very High-Speed Computing System, *Proceedings IEEE*, 1966, No. 54, pp. 1901-1909.
14. *Flynn M.J.* Some Computer Organizations and their Effectiveness, *IEEE Transactions on Computers*, Sep. 1972, Vol. 24, pp. 948-960.
15. *Wulf W.A., McKee S.A.* Hitting the Memory Wall: Implications of the Obvious, *Computer Architecture News*, Mar. 1995, Vol. 23, No. 1, pp. 20-24.
16. Next generation photonic memory devices are 'light-written', ultrafast and energy efficient, 2019. Available at: <https://www.tue.nl/en/news/news-overview/10-01-2019-next-generation-photonic-memory-devices-are-light-written-ultrafast-and-energy-efficient/> (accessed 31 October 2022).
17. Using light for next-generation data storage, 2018. Available at: <https://phys.org/news/2018-06-next-generation-storage.html>.
18. *Qiming Zhang, Zhilin Xia, Yi-Bing Cheng & Min Gu.* High-capacity optical long data memory based on enhanced Young's modulus in nanoplasmonic hybrid glass composites, 2018. Available at: <https://phys.org/news/2018-06-next-generation-storage.html>.
19. *Gordeev A., Voytovich V., Svyatets G.* Perspektivnyye fotonnye i fononnye otechestvennye tekhnologii dlya teragertsovykh mikroprotessorov, OZU i interfeysa so sverkhvizkim energopotrebleniem [Promising photonic and phonon domestic technologies for terahertz microprocessors, RAM and interface with ultra-low power consumption], *Sovremennaya elektronika* [Modern electronics], No. 2,22. Available at: <https://www.soel.ru/online/perspektivnyye-fotonnye-i-fononnye-otchestvennye-tekhnologii-dlya-teragertsovykh-mikroprotessorov-o/>.
20. *Joseph Buck, Edward A. Lee.* The token flow model, *Data Flow Workshop, Hamilton Island, Australia, May 1992.*
21. *Ben Lee, Hurson A.R.* Dataflow Architectures and Multithreading, *IEEE Computer*, 1994, Vol. 27, No. 8, pp. 27-39.
22. *Kokhonon T.* Assotsiativnyye zapominayushchie ustroystva [Associative storage devices]. Moscow.: Mir, 1982, 384 p.

23. *Triliven F.K.* Modeli parallel'nykh vychisleniy [Models of parallel computing], *Sistemy parallel'noy obrabotki* [Parallel processing systems], ed. by D. Ivinsa. Moscow: Mir, 1985, pp. 277-284.
24. *Miheli J., Cibej U.* Experimental Comparison of Matrix Algorithms for Dataflow Computer Architecture, in *Acta Electrotechnica et Informatica*, 2018, Vol. 18, No. 3, pp. 47-56.
25. *Yazdanpanah F., Alvarez-Martinez C., Jimenez-Gonzalez D. and Etsion Y.* Hy-brid Data-flow/von-Neumann Architectures, in *IEEE Transactions on Parallel and Distributed Systems*, June 2014, Vol. 25, No. 6, pp. 1489-1509. DOI: 10.1109/TPDS.2013.125.
26. *Kalyaev A.V., Levin I.I.* Modul'no-narashchivaemye mnogoprotsessornye sistemy so strukturno-protsedurnoy organizatsiyey vychisleniy [Modular-stackable multiprocessor systems with structural and procedural organization of computing]. Moscow: Yanus-K, 2003, 380 p.
27. *Kalyaev I.A., Levin I.I., Semernikov E.A., Shmoylov V.I.* Rekonfiguriruemye mul'tikonveyernye vychislitel'nye struktury [Reconfigurable multiconveyor computing structures]. Rostov-on-Don: Izd-vo YuNTS RAN, 2008, 393 p.
28. *Dave Lewis SerDes.* Architectures and Applications. DesignCon 2004 National Semiconductor Corporation. Available at: https://chenweixiang.github.io/docs/SerDes_Architectures_and_Applications.pdf (accessed 31 October 2022).
29. *Khel'd G.* Tekhnologii peredachi dannykh [Data transmission technologies]: transl. from engl. 7 ed. Saint Petersburg: Piter, 2003, 715 p. (Classics of computer science).
30. *Shpakovskiy G.I. Verkhoturov A.E.* Algoritm parallel'nogo resheniya SLAU metodom Gaussa-Zeydelya [Algorithm for parallel SLOUGH solution by Gauss-Seidel method], *Vestnik BGU* [Bulletin of BSU. Ser. 1], 2007, No. 1, pp. 44-48.

Статью рекомендовал к опубликованию д.т.н. Э.В. Мельник

Левин Илья Израилевич – НИЦ супер-ЭВМ и нейрокомпьютеров; e-mail: levin@superevm.ru; г. Таганрог, Россия; тел.: +78634612111; директор; д.т.н.; профессор.

Сорокин Дмитрий Анатольевич – e-mail: jotun@inbox.ru; тел.: +79508668253; начальник отдела; к.т.н.

Касаркин Алексей Викторович – e-mail: kav589@mail.ru; тел.: +79045065636; научный сотрудник; к.т.н.

Levin Ilya Izrailevich – Supercomputers and Neurocomputers Research Center; e-mail: levin@superevm.ru; Taganrog, Russia; phone: +78634612111; director; dr. of eng. sc.; professor.

Sorokin Dmitriy Anatolyevich – e-mail: jotun@inbox.ru; phone: +79508668253; chief of department; cand. of eng. sc.

Kasarkin Alexey Viktorovich – e-mail: kav589@mail.ru; phone: +79045065636; research scientist; cand. of eng. sc.