

16. *Labyntsev A.V.* Passivnye selektivnye ustroystva SVCh na baze mnogomodovykh mikro-poloskovykh liniy: diss. ... kand. tekhn. nauk [Passive selective microwave devices based on multimode microstrip lines: cand. of eng. sc. diss.]. Taganrog: TRTI, 1987, 201 p.
17. *Mattey D.L., Yang L., Dzhons E.M.T.* Fil'try SVCh, soglasuyushchie tsepi i tsepi svyazi [Microwave filters, matching circuits and communication circuits]: transl. from engl., ed. by L.V. Alekseeva and F.V. Kushnira. Moscow: Svyaz', 1971, 440 p.
18. *Labyntsev A.V., Poveshenko L.I., Kharlanov D.V.* Two-Stage Design of Microstrip Filters from Arbitrary Configuration Resonators, 2019 *Radiation and Scattering of Electromagnetic Waves (RSEMW)*, 2019, pp. 172-175. Available at: <https://ieeexplore.ieee.org/document/8792770>. DOI: 10.1109/RSEMW.2019.8792770.
19. *Labyntsev A.V., Poveshenko L.I., Kharlanov D.V.* Microstrip Filter with Extended Barrier, 2019 *Radiation and Scattering of Electromagnetic Waves (RSEMW)*, 2019, pp. 176-179. Available at: <https://ieeexplore.ieee.org/document/8792722>. DOI: 10.1109/RSEMW.2019.8792722.
20. Bankov S.E., Kurushin A.A. Raschet anten i SVCh struktur s pomoshch'yu HFSS Ansoft [Calculation of antennas and microwave structures using HFSS Ansoft]. Moscow: ZAO «NPP „Rodnik“», 2009, 256 p.

Статью рекомендовал к опубликованию д.т.н., профессор К.Е. Румянцев.

Харланов Дмитрий Валентинович – Южный федеральный университет; e-mail: mitya999@mail.ru; г. Краснодар, Россия; тел.: 89620130677; кафедра антенн и радиопередающих устройств; соискатель.

Лабынцев Алексей Викторович – e-mail: labyntsev@yandex.ru; г. Таганрог, Россия; тел.: 89085142003; кафедра теоретических основ радиотехники; к.т.н.; с.н.с.; доцент.

Kharlanov Dmitry Valentinovich – Southern Federal University; e-mail: mitya999@mail.ru; Krasnodar, Russia; phone: +79620130677; the department of antennas and radio transmitting devices; the applicant.

Labyntsev Alexey Viktorovich – e-mail: labyntsev@yandex.ru; Taganrog, Russia; phone: 89085142003; department of theoretical foundations of radio engineering; cand. of eng. sc.; senior researcher; associate professor.

УДК 621.375.9

DOI 10.18522/2311-3103-2024-2-202-220

**А.В. Бугакова, О.В. Дворников, Н.Н. Прокопенко, В.А. Чеховский,
Д.В. Клейменкин**

СХЕМОТЕХНИЧЕСКИЕ ОСОБЕННОСТИ ПРОЕКТИРОВАНИЯ ВЫСОКОТЕМПЕРАТУРНЫХ АНАЛОГОВЫХ МИКРОСХЕМ НА GaN И GaAs ТРАНЗИСТОРАХ*

Высокотемпературные интегральные микросхемы (ИМС), сохраняющие работоспособность при температуре более 150°C, требуются во многих областях промышленности, например, в аэрокосмическом, авиационном и автомобильном приборостроении, нефтехимической промышленности, электроэнергетике, электронике военного назначения. В настоящее время зарубежные предприятия серийно выпускают несколько высокотемпературных аналоговых и аналого-цифровых ИМС на основе кремниевых КМОП КНИ структур – ADS1278-HT, ADS1282-HT, ADS8320-HT, INA129-HT, INA333-HT, OPA2333-HT и др. В Российской Федерации также разработаны высокотемпературные кремниевые операционные усилители и АЦП. Однако максимальная рабочая температура таких изделий не превышает 200°C из-за наличия ограничений кремниевых технологий. По указанной причине в качестве полупроводников, предназначенных для высокотемпературных ИМС, чаще всего рассматриваются широкозонные, такие как карбид кремния (SiC), нитрид (GaN) и арсенид галлия (GaAs), которые обеспечивают ряд характеристик, необходимых для высокотемпературных применений: широкую запрещенную зону, высокую скорость насыщения носителей заряда и низкую концентрацию собственных носителей заряда. В статье

* Исследование выполнено за счет гранта Российского научного фонда № 23-79-10069, <https://rscf.ru/project/23-79-10069/>.

представлен аналитический обзор проблем разработки высокотемпературных GaN и GaAs микросхем. Рассмотрены особенности вольтамперных характеристик GaN и GaAs полевых транзисторов, работающих в режиме обеднения и обогащения, электрические схемы типовых аналоговых устройств (зарядочувствительных и операционных усилителей, компараторов, повторителей тока) и цифровых вентилях. Сделан вывод о том, что схемотехнический синтез GaAs аналоговых микросхем целесообразно выполнять на полевых транзисторах с каналом n-типа, работающих в режиме обеднения, и p-n-p гетероструктурных биполярных транзисторах. Приведены примеры таких схем. Актуальность вышеуказанных исследований связана с проблемами импортозамещения микросхем на широкозонных полупроводниках (GaN, GaAs), обеспечивающих широкий диапазон рабочих температур (свыше +150°C).

GaAs, GaN; транзистор с высокой подвижностью электронов; полевой транзистор, работающий в режиме обеднения; высокотемпературные аналоговые микросхемы.

**A.V. Bugakova, O.V. Dvornikov, N.N. Prokopenko, V.A. Tchekhovski,
D.V. Kleimenkin**

CIRCUIT FEATURES OF HIGH-TEMPERATURE ANALOG MICROCIRCUITS ON GaN AND GaAs TRANSISTORS

High-temperature integrated circuits, which remain operational at temperatures above 150°C, are required in many areas of industry: aerospace, aviation and automotive instrumentation, the petrochemical industry, electric power, and military electronics. Currently, foreign enterprises are mass-producing several high-temperature analog and analog-to-digital microcircuits based on silicon CMOS SOI structures – ADS1278-HT, ADS1282-HT, ADS8320-HT, INA129-HT, INA333-HT, OPA2333-HT, etc. High-temperature silicon operational amplifiers and ADCs have also been developed in the Russian Federation. However, the maximum operating temperature of such products does not exceed 200°C due to the limitations of silicon technologies. For this reason, wide-bandgap semiconductors such as silicon carbide (SiC), gallium nitride (GaN) and gallium arsenide (GaAs) are most often considered as semiconductors intended for high-temperature microcircuits, which provide a number of characteristics necessary for high-temperature applications: wide bandgap, high carrier saturation velocity and low concentration of intrinsic charge carriers. An overview of the problems of developing high-temperature analog microcircuits based on GaN and GaAs transistors is presented. The features of the current-voltage characteristics of GaN and GaAs field-effect transistors operating in depletion and enhancement modes, electrical circuits of typical analog devices (charge-sensitive and operational amplifiers, comparators, current followers) and logical gates are considered. It is concluded that it is advisable to carry out the circuit synthesis of GaAs analog microcircuits using field-effect transistors with an n-type channel operating in depletion mode and p-n-p heterostructure bipolar transistors. Examples of such schemes are given. The relevance of the above research is related to the problems of import substitution of microcircuits based on wide-bandgap semiconductors (GaN, GaAs), providing a wide range of operating temperatures (over +150°C).

GaAs; GaN; HEMT; depletion mode type FET; enhancement mode type FET; high-temperature analog microcircuits.

Введение. Во многих областях промышленности, таких как, аэрокосмическое, авиационное и автомобильное приборостроение, нефтехимическая промышленность, электроэнергетика, электроника военного назначения требуются высокотемпературные интегральные микросхемы (ИМС), сохраняющие работоспособность при температуре 150°C и более [1–20].

На сегодняшний день зарубежные предприятия серийно выпускают несколько высокотемпературных аналоговых и аналого-цифровых ИМС на основе кремниевых КМОП КНИ структур (ADS1278-HT, ADS1282-HT, ADS8320-HT, INA129-HT, INA333-HT, OPA2333-HT и др.). В Российской Федерации также разработаны высокотемпературные кремниевые операционные усилители и АЦП [1, 2]. Однако максимальная рабочая температура таких изделий не превышает 200°C из-за наличия ограничений кремниевых технологий. По указанной причине в качестве полупроводников, предназначенных для высокотемпературных ИМС, чаще всего рассматриваются широкозонные, такие как карбид кремния (SiC) [11], нитрид (GaN) [3–5, 11, 13, 15, 17, 20] и арсенид галлия (GaAs) [6–10, 12, 15, 18, 19], которые обеспечивают ряд характеристик, необходимых для высокотемпературных применений: широкую запрещенную зону, высокую скорость насыщения носителей заряда и низкую концентрацию собственных носителей заряда.

Подробный анализ полупроводниковых приборов для жестких условий эксплуатации позволил установить, что GaAs микросхемы [6–9, 10, 12, 15, 18, 19] рекомендуется применять до 300°C, на основе SiC целесообразно изготавливать мощные (высоковольтные) транзисторы, а на GaN [3–5, 11, 13, 15, 17, 20] – высокочастотные (быстродействующие) транзисторы и высокотемпературные ИМС с рабочим диапазоном температур до 500°C. Последнее обусловлено тем, что одним из главных преимуществ GaN по сравнению с SiC является меньшее температурное изменение параметров транзисторов и возможность формирования на одной подложке полевых транзисторов (field-effect transistor, FET), работающих в режиме обеднения (depletion mode type, D-FET) и обогащения (enhancement mode type, E-FET), что особенно важно при схемотехническом синтезе аналоговых и цифровых микросхем.

С нашей точки зрения, приоритет в разработке GaAs ИМС для диапазона температур до 300°C обусловлен тем, что арсенид-галлиевые технологические маршруты доступны, хорошо отработаны и обеспечивают удовлетворительные параметры транзисторов при относительно невысокой стоимости изготовления полупроводниковых пластин.

Целью настоящей статьи является рассмотрение особенностей схемотехнического проектирования высокотемпературных GaN и GaAs ИМС. Проблемы сборки кристаллов в корпус и создания технологических маршрутов изготовления GaN и GaAs ИМС будут рассмотрены отдельно.

1. Доступные для схемотехнического синтеза GaN и GaAs элементы. Типовые технологические маршруты изготовления GaN и GaAs ИМС обычно обеспечивают формирование на одной подложке D-FET с каналом n-типа и тонкопленочных резисторов с малым поверхностным сопротивлением от 50 до 500 Ом/квadrat [4, 5, 15], причем в качестве D-FET выступают транзисторы с переходом Шоттки (metal–semiconductor field-effect transistor, MESFET) разных конструкций.

Ограниченная номенклатура доступных элементов существенно усложняет схемотехнический синтез и эксплуатацию создаваемых микросхем, т.к. в ряде случаев приводит к тому, что аналоговые ИМС содержат только D-FET с различным отношением ширины затвора к длине W/L , а высокоомные резисторы являются внешними и располагаются на печатной плате. Кроме того, схемы, содержащие только D-FET требуют применения не симметричного биполярного напряжения питания.

Для упрощения схемотехнического синтеза GaAs аналоговых микросхем предприняты многочисленные попытки расширения номенклатуры активных элементов и создания технологических маршрутов для изготовления на одной подложке:

- ♦ транзисторов с высокой подвижностью электронов (high electron mobility transistor, HEMT) и n-p-n гетероструктурных биполярных транзисторов (heterojunction bipolar transistor, HBT) [6];
- ♦ MESFET с каналом n- и p- типа и n-p-n HBT [7];
- ♦ p-n-p и n-p-n HBT [8];
- ♦ D-FET с каналом n-типа (double-channel pseudomorphic high electron mobility transistor, DpHEMT) и p-n-p HBT [9].

Несмотря на то, что большинство исследований направлено на разработку технологических маршрутов изготовления на одной пластине MESFET с каналом n-типа и n-p-n HBT, с нашей точки зрения, для проектирования аналоговых GaAs ИМС следует применять комплементарную пару в виде D-FET с каналом n-типа и большой граничной частотой, например, DpHEMT, и p-n-p HBT, что позволит значительно улучшить характеристики аналоговых ИМС, а именно [10]:

- ♦ увеличить усиление напряжения входных каскадов и уменьшить уровень шумов, отнесенных к входу, за счет большой крутизны g_m при относительно малом токе стока I_D ;
- ♦ реализовать простые каскады сдвига уровня постоянного напряжения на p-n-p HBT;
- ♦ увеличить диапазон рабочего напряжения усилительных каскадов и сделать возможным выполнение двухтактных выходных каскадов при одновременном использовании DpHEMT и p-n-p HBT;

♦ обеспечить проектирование малошумящих зарядочувствительных усилителей (charge-sensitive amplifiers, CSA) благодаря применению головного DpHEMT с высоким отношением g_m к входной емкости.

Упрощение схемотехнического синтеза GaN ИМС осуществляется, в основном, за счет одновременного использования D-FET и E-FET [11].

Широкозонные D-FET обычно характеризуются большими рабочими токами стока, неиспользуемыми в аналоговых ИМС, поэтому в качестве основного активного элемента рекомендуется применять D-FET с минимальной длиной и шириной затвора, обеспечивающей получение воспроизводимых вольтамперных характеристик (ВАХ), а в качестве малошумящего D-FET – транзистор с отношением W/L не более чем в 10 раз превышающее W/L основного активного элемента.

Для увеличения крутизны допустимо осуществлять параллельное соединение D-FET, а для увеличения выходного малосигнального сопротивления и уменьшения тока стока при том же напряжении затвор-исток V_{GS} – последовательное соединение. Последнее иллюстрируют зависимости нормированного тока стока (отношение тока стока к его величине при напряжении сток-исток $V_{DS} = 1,5$ В) на рис. 1.

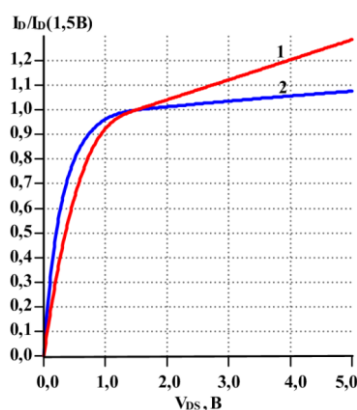


Рис. 1. Нормированная выходная ВАХ в схеме с общим истоком GaAs DpHEMT ($W/L=10$ мкм/0,2 мкм):
1 – одиночный транзистор при $I_D(1,5 В) = 197,45$ мкА, 2 – два последовательно соединенных транзистора при $I_D(1,5 В) = 48,58$ мкА [12]

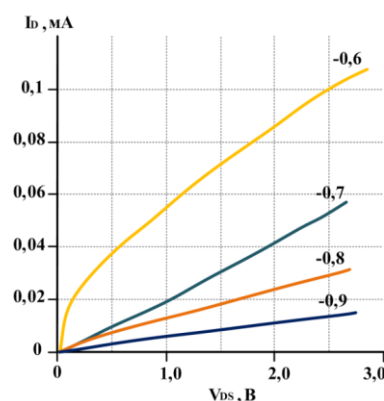


Рис. 2. Выходная ВАХ в схеме с общим истоком GaAs DpHEMT ($W/L=10$ мкм/0,2 мкм) около напряжения отсечки [12]

Известно, что некоторые конструкции широкозонных D-FET имеют две области ВАХ в схеме с общим истоком с резко различающимся выходным малосигнальным сопротивлением только при небольшом обратном напряжении затвор-исток, а вблизи отсечки V_{TH} выходная ВАХ подобна управляемому резистору и не рекомендуется для применения в усилительных каскадах [12]. Эти особенности ВАХ иллюстрирует рис. 2 для GaAs DpHEMT.

Для таких транзисторов рекомендуется выбор тока стока в диапазоне от максимальной величины (I_{DMAX} при $V_{GS}=0$, $V_{DS}=V_{TH}$) до 10-ти кратного уменьшения тока стока по сравнению с I_{DMAX} [12].

2. Схемы на основе D-FET с каналом n-типа. В качестве примера технологического маршрута изготовления D-FET с каналом n-типа рассмотрим GaN500 фирмы Canadian Photonics Fabrication Center [4]. Этот техмаршрут обеспечивает формирование на 3-х дюймовой SiC подложке толщиной 75 мкм НЕМТ с длиной затвора 0,5 мкм, двух уровней металлизированных межсоединений, нихромовых резисторов с поверхностным со-

противлением 50 Ом/квadrat, конденсаторов со структурой металл-диэлектрик-металл и удельной емкостью 0,19 фФ/мкм². ВАХ изготовленных НЕМТ при разных температурах, их совпадение с результатами моделирования иллюстрирует рис. 3, а на рис. 4, 5 – приведены температурные зависимости сопротивления нихрового резистора и емкости нескольких конденсаторов.

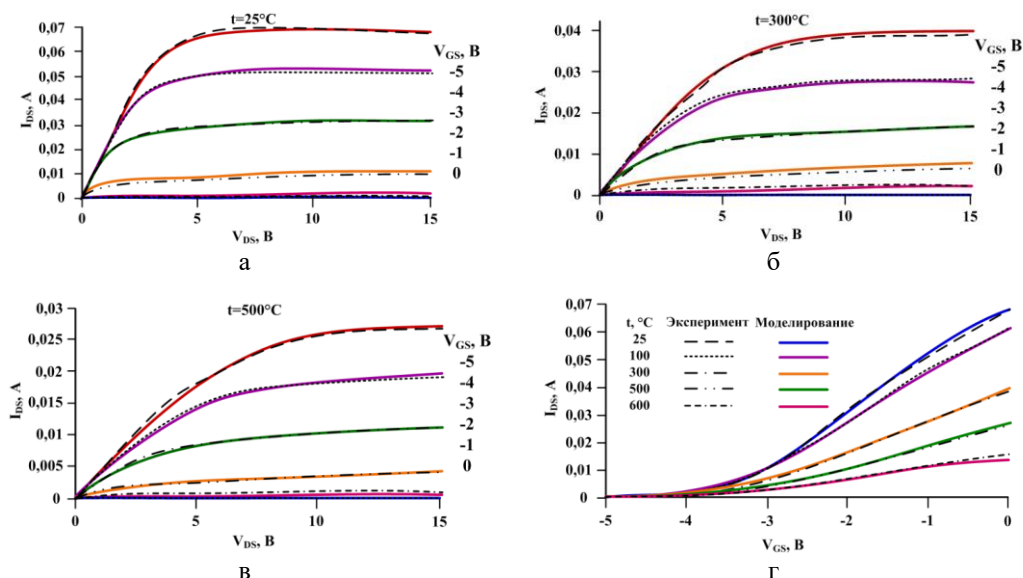


Рис. 3. Результаты измерений и моделирования ВАХ GaN500 НЕМТ [3]

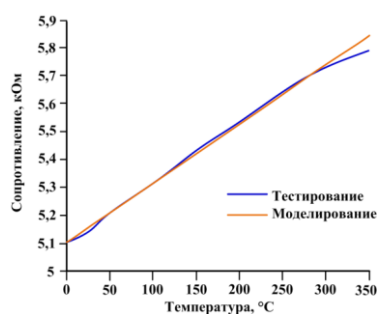


Рис. 4. Результаты измерений и моделирования сопротивления GaN500 резистора $R=5150$ Ом, $W/L=5$ мкм/650 мкм [4]

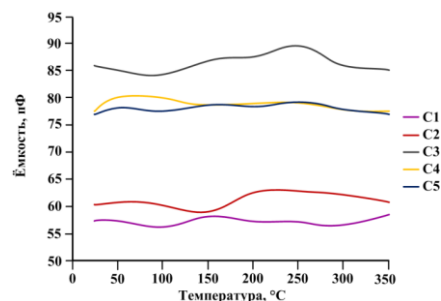


Рис. 5. Результаты измерений емкости GaN500 конденсаторов в диапазоне температур [4]

Как видно из ВАХ на рис. 3, в нормальных условиях $V_{TH} \approx -5$ В, поэтому техмаршрут GaN500 позволяет реализовать логические вентили (рис. 6) с отрицательным входным уровнем при применении биполярного напряжения питания довольно большой величины $V_{DD}=14$ В, $V_{SS}=-14$ В, причем резисторы занимают большую часть площади кристалла.

GaN500 техмаршрут позволяет также проектировать типовые аналоговые схемы (рис. 7), в которых для минимизации тока потребления применяется большое количество последовательно соединенных транзисторов (Т6-Т9 на рис. 7,а).

Уменьшить площадь кристалла, занимаемую высокоомными резисторами можно за счет применения диодного соединения D-FET, что одновременно увеличивает коэффициент усиления напряжения (рис. 8), или применяя внешние резисторы для микросхем

малой степени интеграции. В последнем случае за основу при схемотехническом синтезе можно принять микросхемы для жестких условий эксплуатации на основе n-канальных полевых транзисторов, управляемых р-n-переходом (JFET).

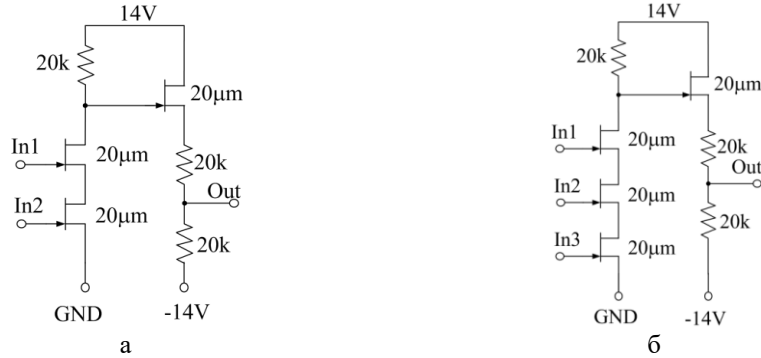


Рис. 6. Реализация цифровых вентилях по техмаршруту GaN500 [5]:
а – электрическая схема NAND2, б – электрическая схема NAND3

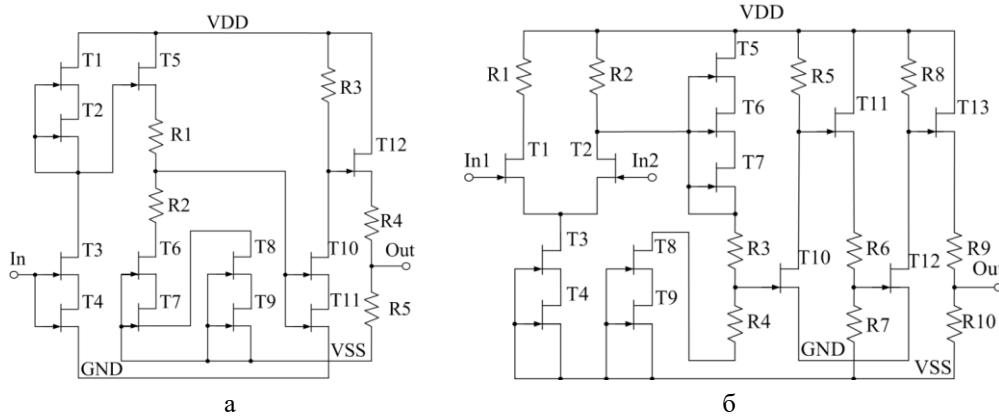


Рис. 7. Электрические схемы аналоговых устройств по техмаршруту GaN500 [4]:
а – усилитель напряжения; б – компаратор

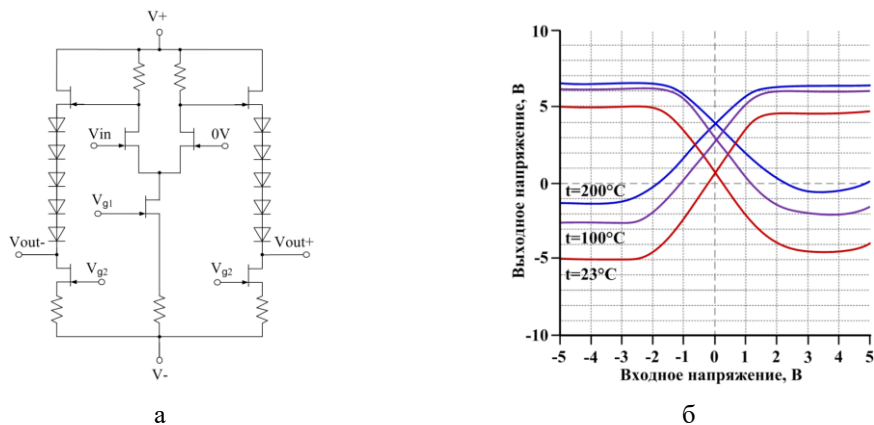


Рис. 8. Высокотемпературный GaN операционный усилитель с ионно-имплантированными резисторами [13]: а – электрическая схема; б – передаточная характеристика при разных температурах

Например, на рис. 9–12 приведены схемы радиационно-стойких CSA на кремниевых n-JFET [14], которые могут быть адаптированы к GaN и GaAs D-FET.

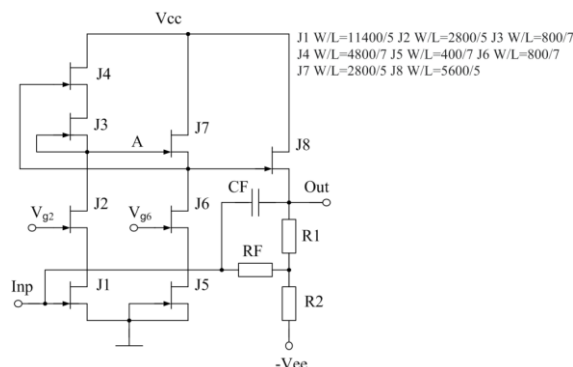


Рис. 9. Типовая схема включения CSA типа IPA3 с входной емкостью 60 пФ

Схема CSA типа IPA3 предназначена для обработки сигналов датчиков с емкостью от 100 до 1000 пФ. Отдельный вывод стока J_8 применяется для суммирования выходных токовых сигналов нескольких CSA. При соединении стока J_8 с шиной положительного питания в усилителе реализуется буферный каскад со схемой сдвига постоянного уровня напряжения (рис. 9). Несмотря на простоту схемотехнического решения, коэффициент усиления напряжения IPA3 в режиме холостого хода превышает 85 дБ.

Усилитель IPA4 (рис. 10) предназначен для обработки сигналов датчиков с емкостью от 10 до 100 пФ и отличается от IPA3, прежде всего, меньшими размерами «головного» транзистора J_1 ($W/L = 1820/5$ мкм) и расширенными возможностями подключения транзистора J_3 .

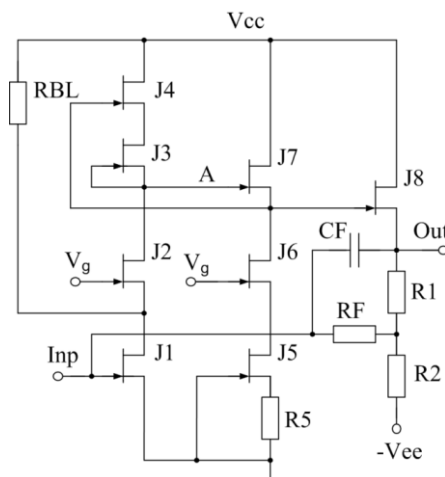


Рис. 10. Схема включения криогенного CSA типа IPA4 с входной емкостью 10 пФ

Источник тока на диодном включении транзистора J_3 обеспечивает ток через «головной» транзистор на уровне 600 мкА для уменьшения рассеиваемой мощности усилителя типа «А». При необходимости увеличения тока стока J_1 рекомендуется включение внешнего резистора R_{BL} . Ток стока J_3 определяет скорость перезарядки суммарной емкости в высокоимпедансном узле «А» и, следовательно, скорость нарастания выходного напряжения, для увеличения которой рекомендуется применение CSA типа «В» (рис. 11) с током перезарядки, определяемом резистором R_3 . Таким образом, в CSA типа «В» можно независимо установить скорость нарастания выходного напряжения (выбором сопротивления R_3) и уровень входного шума (сопротивлением R_{BL}).

Заметим, что в усилителе IPA4 возможно соединение стока J_2 с чисто резистивной нагрузкой при реализации трансрезистивного усилителя. Для уменьшения уровня шума разработано включение усилителя IPA4 (рис. 12) со схемой компенсации входного тока за счет прямого смещения p-n-перехода затвор-исток «головного» JFET. Транзистор J_1 работает при токе, превышающем максимальный ток стока, что возможно только в случае прямого смещения истокового перехода. Как показали экспериментальные исследования, компенсация входного тока позволяет исключить резистор R_F , что обеспечивает значительно меньший уровень шумов.

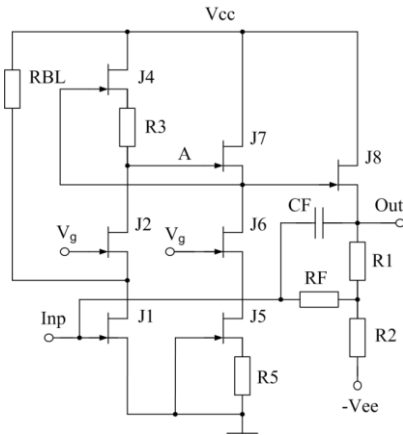


Рис. 11. Схема включения CSA типа «В» на основе рис. 10

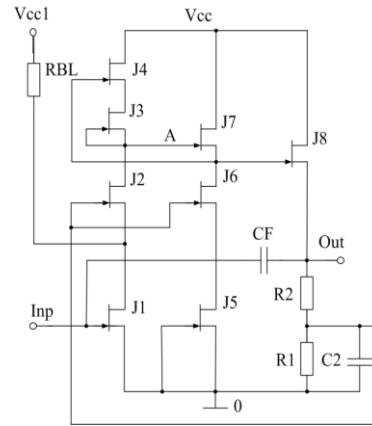


Рис. 12. Включение CSA типа IPA4 на основе рис. 10 без резистора R_F

В качестве примера адаптации схем CSA с кремниевым n-JFET к широкозонным полупроводниковым материалам является GaAs CSA, показанный на рис. 13 [15].

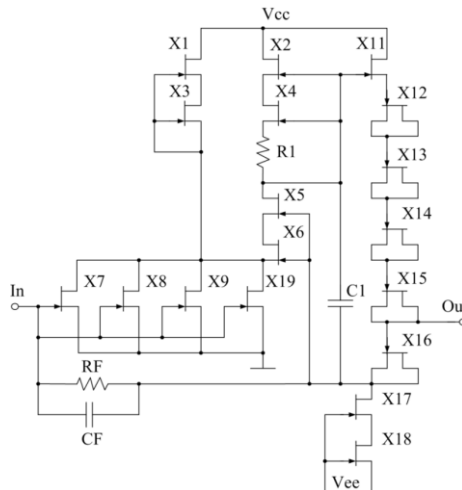


Рис. 13. CSA основе GaAs DpHEMT [15]

Известно, что при проектировании CSA необходимо максимально увеличивать крутизну головного FET и суммарное сопротивление R_Σ всех параллельных цепей в высокоимпедансном узле, а также уменьшать суммарную емкость C_Σ всех параллельных цепей в высокоимпедансном узле. Однако при этом надо учитывать, что увеличение крутизны за счет увеличения тока стока относительно слабое $g_m \sim \sqrt{I_D}$, но приводит к увеличению потребляемой мощности и уменьшению R_Σ , а увеличение крутизны увеличением W/L вызывает рост входной емкости CSA.

Частично указанные противоречия устранены в схеме CSA, показанной на рис. 13. Здесь все D-FET имеют размер затвора $W/L=10 \text{ мкм}/0,2 \text{ мкм}$, а X1, X3, X7-X10 – $W/L=100 \text{ мкм}/0,2 \text{ мкм}$. Эта схема имеет ряд преимуществ [15]:

- ♦ крутизна «головного» D-FET устанавливается за счет параллельного соединения транзисторов X7-X10 и величины их тока стока, в основном, определяемой цепью X1, X3,
- ♦ введение X5, X6 позволяет, с одной стороны, стабилизировать напряжение на стоке «головного» транзистора и уменьшить динамическую входную емкость CSA, а с другой стороны, при токе стока X3 существенно большем, чем X6, увеличить R_{Σ} и уменьшить C_{Σ} , что приводит к росту усиления и быстродействия усилителя напряжения;
- ♦ однокаскадная схема усилителя напряжения значительно упрощает частотную коррекцию подключением одного конденсатора C1 в высокоимпедансный узел.

При проектировании GaN и GaAs CSA со схемой на рис. 13 рекомендуется применение методики схемотехнического моделирования, обеспечивающей получение минимального тока потребления, малого уровня шумов и высокого быстродействия, с учетом того, что основным варьируемым параметром является отношение ширины затвора W к его длине L , а суммарное сопротивление применяемых тонкопленочных резисторов минимально для уменьшения площади кристалла, занимаемой CSA [15].

Заметим, что необходимые во многих GaN и GaAs аналоговых устройствах фильтры могут быть созданы на основе конденсаторов и так называемых "токовых зеркал" (рис. 14) [16].

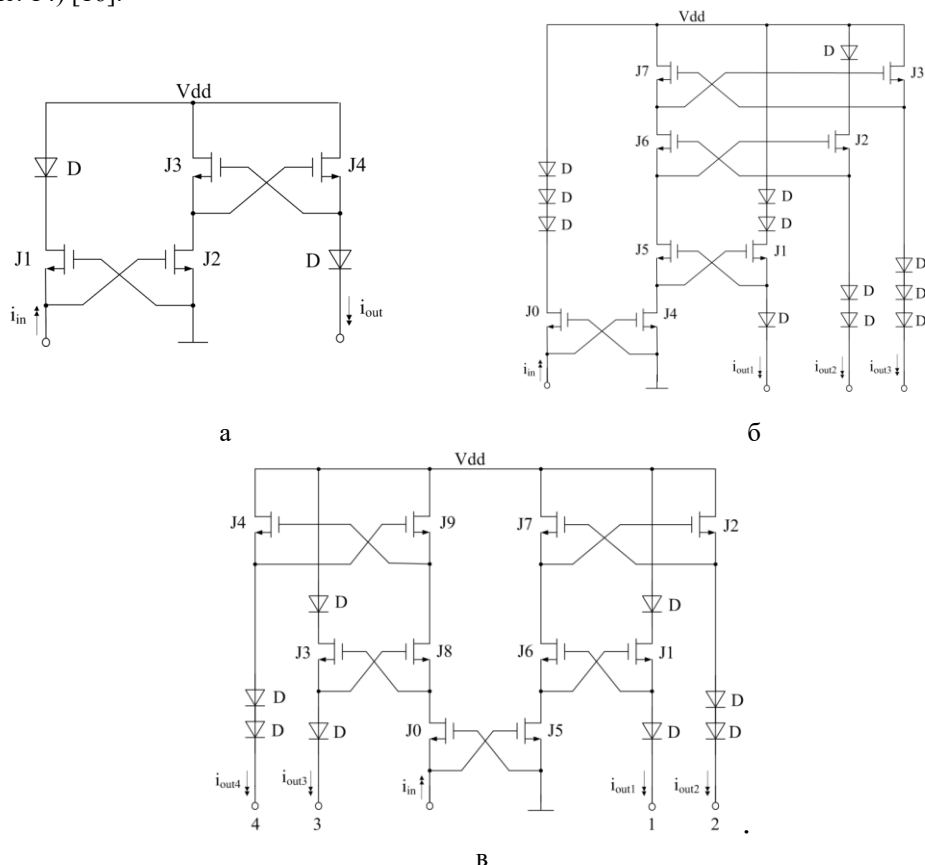


Рис. 14. "Токовые зеркала" основе GaAs MESFET [16]: а – одним выходом; б – с тремя выходами; в – с инвертирующими и не инвертирующими выходами

3. Схемы на основе D-FET и E-FET с каналом n-типа. Уменьшить площадь кристалла, занимаемую тонкопленочными резисторами, возможно при увеличении их поверхностного сопротивления, однако при этом увеличивается технологический разброс сопротивле-

ний. Кардинальным решением указанной проблемы является применение E-FET в качестве активного элемента и D-FET с соединенными выводами затвора и истока как нагрузочного резистора. Преимущества от применения такой пары FET объясняют большое количество работ, посвященных формированию E-FET и D-FET на одной подложке [4–6].

ВАХ для AlGaIn/GaN HEMT с $W/L=100$ мкм/1 мкм [4, 5] показаны на рис. 15 и обобщены в табл. 1.

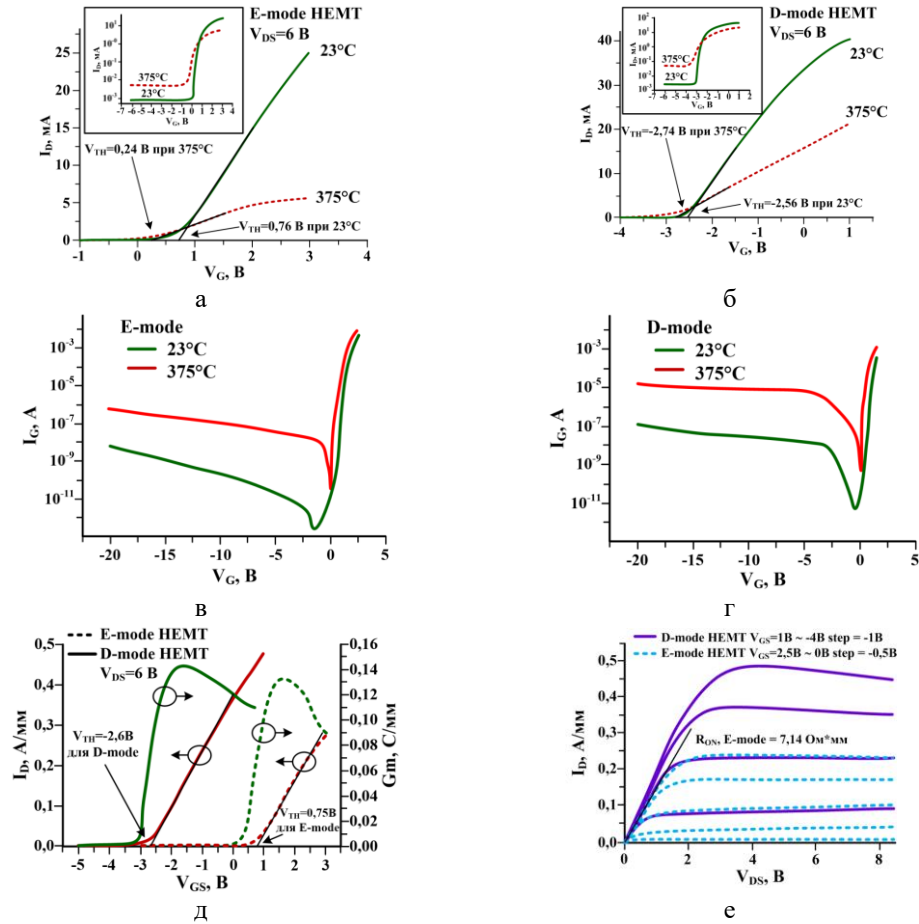


Рис. 15. Вольтамперные характеристики AlGaIn/GaN HEMT с $W/L=100$ мкм/1 мкм при разных температурах [4, 5]

Таблица 1

Параметры AlGaIn/GaN HEMT, работающих в режиме обеднения и обогащения [4, 5], при разных температурах

Наименование параметра	D-FET		E-FET	
	23°C	375°C	23°C	375°C
Напряжение отсечки V_{TH} , В	- 2,56	- 2,74	0,76	0,24
Температурное изменение напряжения отсечки dV_{TH}/dT , мВ/К	- 0,51		-1,5	
Максимальное значение крутизны на единицу ширины затвора g_{MMAX}/W , мС/мм	145	58	120	29
Максимальное значение тока стока на единицу ширины затвора I_{DMAX}/W , мА/мм	480	213	250	56
Граничная частота f_T , ГГц	14,3		10,7	

При проектировании схем на GaN HEMT следует учитывать следующие факторы:

- ♦ как показал ряд экспериментальных исследований, зависимость крутизны g_m от напряжения затвор-исток V_{GS} для GaN HEMT имеет немонотонный характер (рис. 15д), т.е. существует максимальное значение g_{mMAX} при некоторой величине V_{GSGMAX} . До начала схемотехнического проектирования необходимо выяснить приоритет в параметрах, ответить на вопрос - что важнее обеспечить максимальную крутизну при заданной температуре (рис. 15д) или минимальное изменение крутизны в диапазоне температур (рис. 16), и в зависимости от этого выбирать напряжение V_{GS} ;
- ♦ в известных конструкциях E-HEMT и D-HEMT ток стока и крутизна на единицу ширины затвора значительно отличается для разных типов HEMT. Обычно, E-HEMT применяется в качестве усилительного элемента, а D-HEMT – в качестве нагрузки. В этом случае, отношение W/L рекомендуется выбирать в диапазонах $(W/L)_{EMODE}/(W/L)_{DMODE}=7...50$ [4, 5] и уточнять при схемотехническом моделировании в зависимости от требуемых параметров ИМС;
- ♦ GaN HEMT имеют большой обратный ток затвора при высоких температурах (рис. 15в,г), поэтому при применении этих транзисторов во входных каскадах необходимо предусматривать формирование цепей следящей обратной связи, поддерживающих малое падение напряжения на переходах затвор-исток и затвор-сток;
- ♦ для GaN D-HEMT существует напряжение V_{GSGZTC} , соответствующее минимальному температурному коэффициенту крутизны (transconductance zero-temperature coefficient) [17].

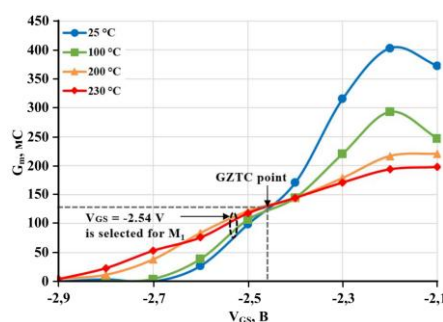


Рис. 16. Зависимость крутизны AlGaIn/GaN HEMT от напряжения затвор-исток при разных температурах [17]

Следует отметить, что при схемотехническом синтезе цифровых вентилях и аналоговых схем на основе широкозонных E-FET и D-FET за основу можно взять существующие схемотехнические решения для n -МОП с индуцированным каналом и резистивными нагрузками.

Разработанные аналоговые схемы на широкозонных E-FET и D-FET показаны на рис. 17–20.

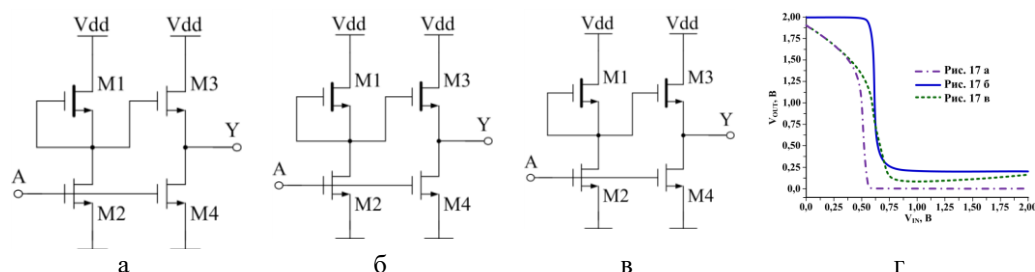


Рис. 17. Базовые схемы инвертирующих каскадов на GaN E-HEMT и D-HEMT (а, б, в) и результаты моделирования (г) их передаточных характеристик при $(W/L)_{EMODE}=50\text{ мкм}/1,8\text{ мкм}$, $(W/L)_{DMODE}=5\text{ мкм}/1\text{ мкм}$

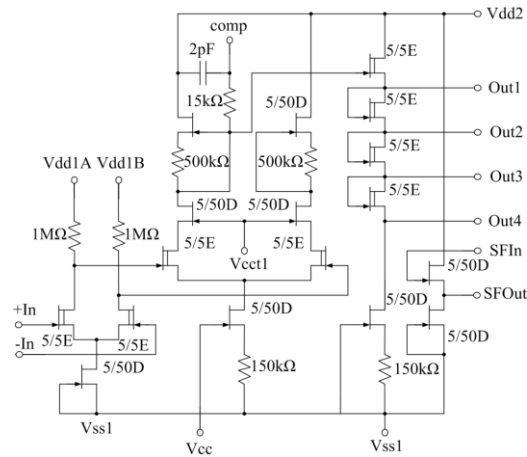


Рис. 18. Электрическая схема GaAs операционного усилителя [18]

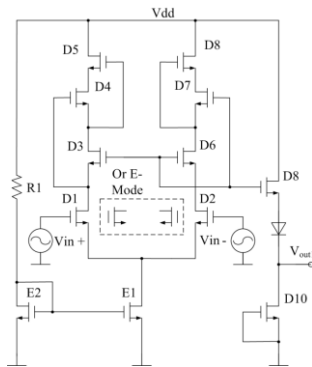


Рис. 19. Электрическая схема GaAs компаратора [19]

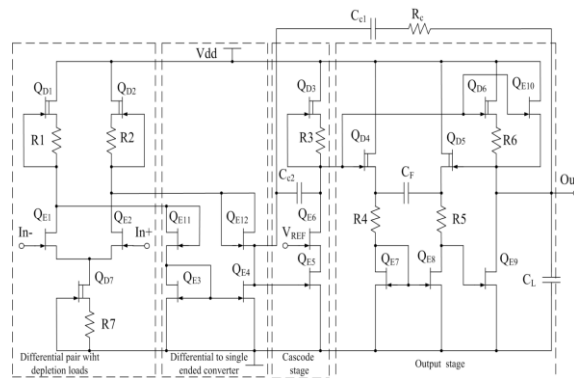


Рис. 20. Электрическая схема GaN операционного усилителя [20]:
QD – D-HEMT, QE – E-HEMT

Рассмотрим подробнее схему GaN операционного усилителя на рис. 20. В этой схеме все источники тока были реализованы на D-HEMT, которые имеют более высокое выходное малосигнальное сопротивление r_{OU} по сравнению с E-HEMT. Однако, т.к. D-HEMT с минимальной шириной и максимальной длиной канала не могли обеспечить необходимый небольшой ток, то в источниках тока на D-HEMT применены резисторы. Все источники тока на транзисторах Q_{D1} , Q_{D2} , Q_{D3} , Q_{D6} и Q_{D7} с встроенными резисторами имеют одинаковые размеры. Выходной ток источников тока около 20 мкА. При этом выходное малосигнальное r_{OUI} сопротивление i -того источников тока описывается выражением

$$r_{OUI} \approx g_{MDI} \cdot R_1 \cdot r_{DI}, \quad (1)$$

где g_{MDI} , r_{DI} – крутизна и сопротивление сток-исток i -того D-HEMT соответственно, R_1 – сопротивление в истоке.

Первый каскад представляет собой дифференциальную пару Q_{E1} , Q_{E2} на транзисторах E-HEMT с генератором стабильного тока Q_{D7} и активной нагрузкой Q_{D1} , Q_{D2} . Так как применяемый техмаршрут не позволяет сформировать диоды на p-n-переходе, то во втором каскаде E-HEMT Q_{E11} , Q_{E12} в диодном включении обеспечивают сдвиг постоянного уровня напряжения, а «токовое зеркало» на Q_{E3} , Q_{E4} позволяет перейти от дифференциального сигнала к синфазному.

Третий каскад на каскодном соединении E-HEMT Q_{E5} , Q_{E6} с нагрузкой в виде источника тока Q_{D3} , $R3$ является основным усилительным каскадом, усиление которого совместно с емкостью конденсатора C_{C2} обеспечивает (благодаря эффекту Миллера) коррекцию амплитудно-частотной характеристики.

Для уменьшения напряжения смещения нуля и увеличения коэффициента ослабления синфазного сигнала рекомендуется выполнение следующего отношения [20]

$$\frac{(W/L)_{E5}}{(W/L)_{E3}} = \frac{I_{D3}}{I_{E3}}. \quad (2)$$

Выходной каскад представляет собой повторитель напряжения с малым выходным сопротивлением, в котором транзисторы работают в классе «AB», предпочтительном при работе на емкостную нагрузку. Q_{D4} , Q_{D5} , $R4$, $R5$, Q_{E7} и Q_{E8} образуют усилитель ошибки. Размеры транзисторов и сопротивления резисторов удовлетворяют условиям $(W/L)_{D4}=(W/L)_{D5}$, $R4 = R5$, $(W/L)_{E7}=(W/L)_{E8}$. Усилитель ошибки обеспечивает одинаковое напряжение на затворах Q_{D3} и Q_{D6} , поэтому выполняется равенство $I_{D6} = I_{D3}$. Более того, он гарантирует, что выходное напряжение соответствует напряжению затвора Q_{D4} как по постоянному, так и переменному току благодаря высокому коэффициенту усиления цепи, образованной транзистором Q_{E9} с общим истоком и активной нагрузкой на Q_{D6} . Стоит отметить, что для минимизации систематического напряжения смещения должно выполняться следующее отношение [20]

$$\frac{(W/L)_{E9}}{(W/L)_{E7}} = \frac{I_{D6}}{I_{E7}}. \quad (3)$$

Действие отрицательной обратной связи, вызванной усилителем ошибки, приводит к дополнительному эффекту – уменьшению выходного малосигнального сопротивления выходного каскада [20]

$$r_o \approx (g_{MD6} + g_{MD9})^{-1}. \quad (4)$$

Заметим, что транзистор Q_{E10} в состоянии покоя выключен, т.к. его напряжение затвор-исток равно нулю. Однако при большой амплитуде сигнала, когда выходной ток должен втекать в емкостную нагрузку Q_{E10} , включается и улучшает нагрузочную способность усилителя. С другой стороны, когда выходной ток должен вытекать, то улучшает нагрузочную способность транзистор Q_{E9} . Основные параметры операционного усилителя рис. 20 приведены в табл. 2.

Таблица 2

Основные параметры GaN операционного усилителя на рис. 20 [20]

Наименование параметра	Величина
Напряжение питания, В	6
Опорное напряжение V_{REF} , В	3
Ток потребления в режиме холостого хода, мА	0,2
Напряжение смещения нуля, мВ	1,0
Коэффициент усиления напряжения, дБ	135
Частота единичного усиления, МГц	0,5
Запас фазы при частоте единичного усиления, градусов	60

4. Схемы на основе D-FET с каналом n-типа и p-n-p HBT. Разработанные в [12] электрические схемы GaAs операционных усилителей показаны на рис. 21–23, а в табл. 3 – результаты моделирования параметров. GaAs_OAmp1 – реализован только на D-FET типа DrHEMT и приведен далее для сравнения с операционными усилителями с комплементарной парой транзисторов.

Таблица 3

Результаты схемотехнического моделирования ОУ [12]

Наименование параметра	Наименование ОУ		
	GaAs_OAmp1	GaAs_OAmp2	GaAs_OAmp3
Напряжение питания, В	-3/7	-5/5	-5/5
Ток потребления в режиме холостого хода, мА	0,570	0,646	1,141
Напряжение смещения нуля, мВ	1,3	-0,19	-0,18
Коэффициент усиления напряжения	$2,9 \cdot 10^3$	10^5	10^5
Максимальное выходное напряжение при сопротивлении нагрузки $R_{LOAD}=100$ кОм, В	-2,50/2,23	-4,41/4,52	-4,25/4,45
Частота единичного усиления, МГц	203 ¹	52 ²	52 ²
Запас фазы при частоте единичного усиления, градусов	54 ¹	54 ²	54 ²
Примечание: ¹ C1=1,5 пФ; ² C1=20 пФ			

Все DrHEMT на электрических схемах имеют размер затвора $W/L=10$ мкм/0,2 мкм, причем только входные транзисторы X12-X14 и X15-X17 имеют $W/L=100$ мкм/0,2 мкм. Требуемое значение сопротивления получено параллельно-последовательным соединением 5 кОм резисторов. Так резистор R2 на рис. 21 состоит из последовательного соединения одного 5 кОм резистора и 3-х параллельно соединенных по 5 кОм резисторов.

Во всех ОУ применен одинаковый дифференциальный каскад, состоящий из входных транзисторов с большой крутизной X12...X14 и X15...X17, каскодных транзисторов X10, X11, источников тока X18, R5 и X19, R6, нагрузки входных транзисторов X1, X5, R1 и X4, X8, R4, нагрузки каскодных транзисторов X2, X6, R2 и X3, X7, R3.

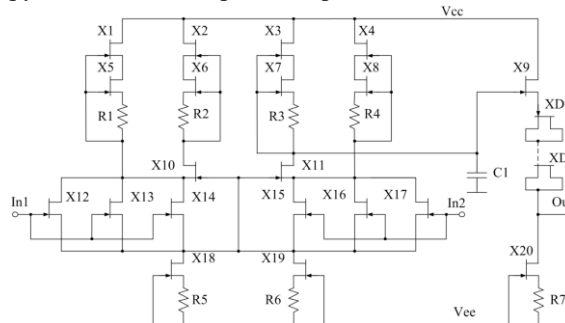


Рис. 21. Электрическая схема GaAs_OAmp1

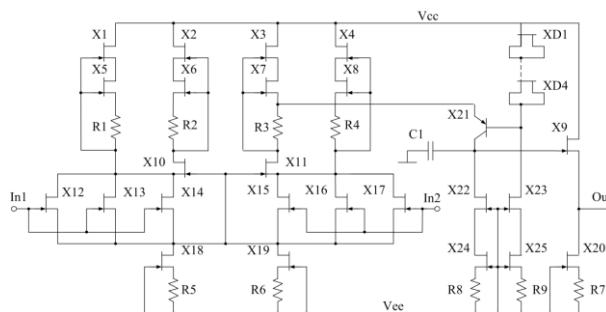


Рис. 22. Электрическая схема GaAs_OAmp2

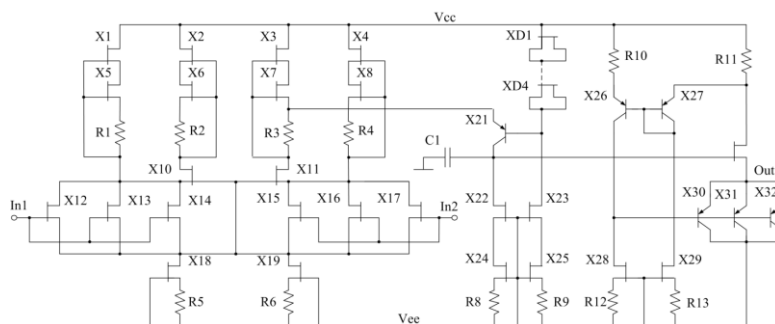


Рис. 23. Электрическая схема GaAs_OAmp3

Такие схемотехнические решения обычно применяются в каскодных FET для обеспечения большого усиления напряжения и использовано в CSA на рис. 13. Так, большая крутизна X12...X14 обеспечивается благодаря большому отношению W/L и значительной величине тока стока. В то же время, преобладающая часть постоянного тока стока транзисторов X12...X14 протекает через их нагрузку X1, X5, R1 в источник положительного напряжения V_{CC} , а меньшая часть – через X10, что позволяет включить в сток X10 большое нагрузочное сопротивление и увеличить усиление по напряжению. Заметим, что параметры элементов выбраны таким образом, что практически вся переменная составляющая тока стока X12...X14 протекает по низкому сопротивлению истока X10, а не высокому сопротивлению нагрузки X1, X5, R1. На транзисторах X9, X20 с цепочкой последовательно соединенных диодов XD1-XD9 реализован выходной истоковый повторитель. Конденсатор C1 применен для коррекции амплитудно-частотной характеристики и получения требуемого запаса по фазе для заданного коэффициента усиления.

Так как в GaAs_OAmp1 в качестве активных элементов применены только DpHEMT, типовое значение напряжения отсечки которых составляет около -1 В, то в этом случае для обеспечения симметричного биполярного выходного напряжения применено несимметричное напряжение питания (минус 3 В и плюс 7 В). Последний недостаток устранен в ОУ GaAs_OAmp2, GaAs_OAmp3, в которых для сдвига постоянного уровня и одновременного увеличения коэффициента усиления напряжения использован p-n-p HBT X21, включенный по схеме с общей базой. Кроме того, в GaAs_OAmp3 предусмотрен двухтактный выходной каскад для работы с малым сопротивлением нагрузки R_{LOAD} .

Особое внимание следует уделять разработке выходных каскадов (рис. 24).

На рис. 24,а показан простой выходной каскад, примененный во всех схемах ОУ. К сожалению, его использование существенно увеличивает ток потребления ОУ. Для адекватного сравнения схем в модернизированном выходном каскаде (рис. 24,б) применено такое же количество HBT, как и на рис. 24,а, а сопротивление резистора R5 выбрано таким образом, чтобы диапазон выходного напряжения каскадов при сопротивлении нагрузки $R_{LOAD}=2$ кОм был одинаков.

Как видно из результатов моделирования, показанных в табл. 4, модернизированный выходной каскад (рис. 24,б) имеет при указанных условиях почти в 4,1 раза меньше ток потребления, чем схема на рис. 24,а.

Постоянное выходное напряжение каскадов рис. 24,а,б не равно входному, а дифференциальный коэффициент передачи $K_D=\Delta V_{OUT}/\Delta V_{IN}$ зависит от уровня постоянного входного напряжения V_{IN} (иными словами, от величины и направления тока, протекающего через нагрузочный резистор R_{LOAD}). Такая особенность выходных каскадов не является недостатком при их применении в ОУ, в которых сдвиг выходного напряжения относительно входного в выходном каскаде обычно не вносит существенный вклад в напряжение смещения нуля по сравнению с другими факторами (несимметричной нагрузкой во входном дифференциальном каскаде и влиянием схемы преобразования дифференциального сигнала в синфазный), а зависимость $K_D=f(V_{IN})$ выходного каскада компенсируется действием отрицательной обратной связи, охватывающей ОУ.

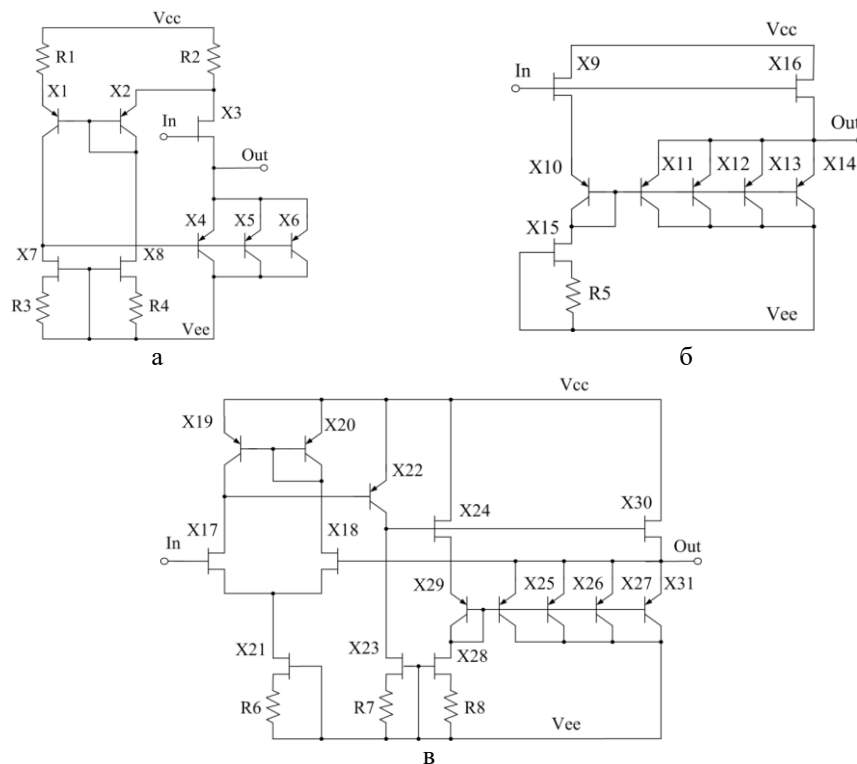


Рис. 24. Двухтактные выходные каскады GaAs аналоговых схем

Таблица 4

Результаты схемотехнического моделирования выходных каскадов [12]

Наименование параметра	Схема изображена на рисунке		
	27а	27б	27в
Напряжение питания, В	-5/5	-5/5	-5/5
Ток потребления в режиме холостого хода, мА	0,681	0,167	0,686
Максимальное выходное напряжение при $R_{LOAD}=2$ кОм, В	-2,85/4,43	-	-
Диапазон изменения коэффициента передачи при изменении входного напряжения от -2,7 В до 2,7 В и $R_{LOAD}=2$ кОм	от 0,737 до 0,946	от 0,766 до 0,910	от 0,997 до 0,998
Выходное напряжение при $V_{IN}=0$ и $R_{LOAD}=2$ кОм, мВ	-499,1	-565,2	-6,5

Выходной каскад рис. 24,в рекомендуется для использования в качестве отдельного повторителя напряжения. В нем применен простой ОУ (X17...X23), действие которого обеспечивает равенство потенциалов в узлах In и Ou3 (на входе и выходе повторителя напряжения) без зависимости от величины и направления тока, протекающего через нагрузку R_{LOAD} , подключаемую к узлу Ou3. К недостаткам такого повторителя можно отнести необходимость соединения коллектора X22 с конденсатором, обеспечивающим отсутствие самовозбуждения и увеличивающим площадь кристалла, занимаемую выходным каскадом.

Заключение. В статье выполнен сравнительный анализ базовых схемотехнических решений высокотемпературных аналоговых микросхем на GaN и GaAs транзисторах и их основных параметров. Это позволило установить, что в диапазоне рабочих температур до

300°C целесообразно проектирование аналоговых микросхем на GaAs D-FET с каналом n-типа и p-n-p HBT, а в диапазоне до 500°C – на GaN D-FET и E-FET с каналом n-типа. При выборе рабочей точки рекомендуется учитывать то, что максимальная крутизна и минимальное температурное изменение крутизны может достигаться при разном напряжении затвор-исток, а для некоторых конструкций D-FET следует применять область напряжений затвор-исток с не более, чем десятикратным уменьшением тока стока по сравнению с максимальным значением.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Коротков А.С., Морозов Д.В., Пилипко М.М., Енученко М.С. 12-разрядный дельта-сигма АЦП для мониторинга состояния высокотемпературных объектов // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). – 2020. – Вып. 1. – С. 95-99.
2. Балашихов Е.В., Иванов Н.В., Ахметов Д.Б., Коротков А.С. Высокотемпературный инструментальный усилитель // Наноиндустрия. – 2020. – № S96-1. – С. 160-163.
3. Hassan A., Amer M., Savaria Y., Sawan M. Towards GaN500-based High Temperature ICs: Characterization and Modeling up to 600°C // 2020 18th International New Circuits and Systems Conference (NEWCAS). IEEE. – 2020. – P. 275-278.
4. Hassan A., Ali M., Trigui A., Savaria Y., Sawan M. A GaN-Based Wireless Monitoring System for High-Temperature Applications // Sensors. – 2019. – Vol. 19 (8). – P. 1785.
5. Hassan A., Noël J.-P., Savaria Y., Sawan M. Circuit Techniques in GaN Technology for High-Temperature Environments // Electronics. – 2022. – Vol. 11 (1). – P. 42.
6. Fresina M. Trends in GaAs HBTs for wireless and RF // Bipolar/BiCMOS Circuits and Technology Meeting J. IEEE. – 2011. – P. 150-153.
7. Zampardi P.J., Sun M., Cismaru C., Li J. Prospects for a BiCFET III-V HBT Process // Compound Semiconductor Integrated Circuit Symposium (CSICS). – 2012. – P. 1-3.
8. Jena M.R., Panda A.K., Dash G.N. A Comparative Analysis InP/InGaAs δ Doped based NPN and PNP HBT // International Journal of Engineering Research & Technology (IJERT). – 2019. – Vol. 8, Issue 09. – P. 819-823.
9. Ловшенко И.Ю., Кратович П.С., Стемпковский В.Р., Дворников О.В., Кунц А.В., Павлючик А.А. Гетеропереходный биполярный транзистор со структурой рnp-типа в арсенид-галлиевой технологии HBT-HEMT // Проблемы разработки перспективных микро- и наноэлектронных систем – 2022: Сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского. – М.: ИПИМ РАН, 2022. – Вып. IV. – С. 149-154.
10. Дворников О.В., Павлючик А.А., Прокопенко Н.Н., Чеховский В.А., Кунц А.В., Чумаков В.Е. Арсенид-галлиевый аналоговый базовый кристалл // Проблемы разработки перспективных микро- и наноэлектронных систем – 2021: Сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского. – М.: ИПИМ РАН, 2021. – С. 47-54.
11. Cai Y., Cheng Z., Yang Z., Tang C., Lau K., Chen K. High-Temperature Operation of AlGaIn/GaN HEMTs Direct-Coupled FET Logic (DCFL) Integrated Circuits // Electron Device Letters J. IEEE. – 2007. – Vol. 28, No. 5. – P. 328-331.
12. Дворников О.В., Павлючик А.А., Прокопенко Н.Н., Чеховский В.А., Кунц А.В., Чумаков В.Е. Унифицированные схемотехнические решения аналоговых арсенид-галлиевых микросхем // Известия вузов. Электроника. – 2022. – Т. 27, № 4. – С. 475-488.
13. Nomoto K., Hasegawa K., Satoh M., Nakamura T. Reliability of High-Temperature Operation for GaN-Based OPAMP // MRS Online Proceedings Library (OPL). – 2009. – P. 1195-B08-02.
14. Дворников О.В., Чеховский В.А., Дятлов В.Л., Прокопенко Н.Н. Создание низкотемпературных аналоговых ИС для обработки импульсных сигналов датчиков. Ч. 3 // Современная электроника. – 2015. – № 6. – С. 34-39.
15. Dvornikov O.V., Prokopenko N.N., Chumakov V.E., Tchekhovskiy V.A. General-Purpose Simulation Technique for Charge-Sensitive Amplifiers Based on Wide-Band-Gap (GaAs, GaN) D-FETs // Proceedings of 16th International Conference of Actual Problems of Electronic Instrument Engineering (APEIE). IEEE. – 2023.
16. Takai N., Fujii N. GaAs MESFET multi-output current mirrors and their application to high frequency filters // International Conference on Electronics, Circuits and Systems. Surfing the Waves of Science and Technology (Cat. No. 98EX196). IEEE. – 1998. – Vol. 2. – P. 307-310.
17. Ehteshamuddin M., Salem J.M., Ha D.S. A high temperature variable gain amplifier based on GaN HEMT devices for downhole communications // 2017 IEEE International Symposium on Circuits and Systems (ISCAS). – 2017. – P. 1-4.

18. Fujiwara M., Nagata H., Hibi Y., Matsuo H., Sasaki M. Cryogenic low noise amplifier with GaAs JFETs // AIP Conference Proceedings J. American Institute of Physics. – 2009. – Vol. 1185, No. 1. – P. 267-270.
19. Lan D. Ning Y., Wang J., Jiang H. High performance two-stage bootstrapped GaAs comparator with gain enhancement // 16th Annual Wireless and Microwave Technology Conference (WAMICON). IEEE. – 2015. – P. 1-4.
20. Pennisi S., Pulvirenti F., Samperi K. Frequency Compensation Scheme for a Full GaN OpAmp driving 1-nF load // 2022 International Symposium on Circuits and Systems (ISCAS). IEEE. – 2022. – P. 2042-2046.

REFERENCES

1. Korotkov A.S., Morozov D.V., Pilipko M.M., Enuchenko M.S. 12-razryadnyy del'ta-sigma ATSP dlya monitoringa sostoyaniya vysokotemperaturnykh ob'ektov [12-bit delta-sigma ADC for monitoring the state of high-temperature objects], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)* [Problems of development of advanced micro- and nanoelectronic systems stem (MES)], 2020, Issue 1, pp. 95-99.
2. Balashov E.V., Ivanov N.V., Akhmetov D.B., Korotkov A.S. Vysokotemperaturnyy instrumental'nyy usilitel' [High-temperature instrumental amplifier], *Nanoindustriya* [Nanoindustry], 2020, No. S96-1, pp. 160-163.
3. Hassan A., Amer M., Savaria Y., Sawan M. Towards GaN500-based High Temperature ICs: Characterization and Modeling up to 600°C, *2020 18th International New Circuits and Systems Conference (NEWCAS)*. IEEE, 2020, pp. 275-278.
4. Hassan A., Ali M., Trigui A., Savaria Y., Sawan M. A GaN-Based Wireless Monitoring System for High-Temperature Applications, *Sensors*, 2019, Vol. 19 (8), pp. 1785.
5. Hassan A., Noël J-P., Savaria Y., Sawan M. Circuit Techniques in GaN Technology for High-Temperature Environments, *Electronics*, 2022, Vol. 11 (1), pp. 42.
6. Fresina M. Trends in GaAs HBTs for wireless and RF, *Bipolar/BiCMOS Circuits and Technology Meeting J. IEEE*, 2011, pp. 150-153.
7. Zampardi P.J., Sun M., Cismaru C., Li J. Prospects for a BiCFET III-V HBT Process, *Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2012, pp. 1-3.
8. Jena M.R., Panda A.K., Dash G.N. A Comparative Analysis InP/InGaAs δ Doped based NPN and PNP HBT, *International Journal of Engineering Research & Technology (IJERT)*, 2019, Vol. 8, Issue 09, pp. 819-823.
9. Lovshenko I.Yu., Kratovich P.S., Stempitskiy V.R., Dvornikov O.V., Kunts A.V., Pavlyuchik A.A. Geteroperekhodnyy bipolyarnyy tranzistor so strukturoy pnp-tipa v arsenid-gallievoy tekhnologii HBT-HEMT [Heterojunction bipolar transistor with a pnp-type structure in arsenide gallium technology HBT-HEMT], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2022: Sb. trudov* [Problems of development of promising micro- and nanoelectronic systems - 2022. Collection of papers], edited by. ed. Academician of the RAS A.L. Stempkovskogo. Moscow: IPPM RAN, 2022, Issue IV, pp. 149-154.
10. Dvornikov O.V., Pavlyuchik A.A., Prokopenko N.N., Chekhovskiy V.A., Kunts A.V., Chumakov V.E. Arsenid-gallievy analogovyy bazovyy kristall [Gallium Arsenide analog base crystal] *Problemy razrabotki perpektivnykh mikro- i nanoelektronnykh sistem – 2021: Sb. trudov* [Problems of development of promising micro- and nanoelectronic systems - 2021. Collection of works], edited by. ed. Academician of the RAS A.L. Stempkovskogo. Moscow: IPPM RAN, 2021, pp. 47-54.
11. Cai Y., Cheng Z., Yang Z., Tang C., Lau K., Chen K. High-Temperature Operation of AlGaIn/GaN HEMTs Direct-Coupled FET Logic (DCFL) Integrated Circuits, *Electron Device Letters J. IEEE*, 2007, Vol. 28, No. 5, pp. 328-331.
12. Dvornikov O.V., Pavlyuchik A.A., Prokopenko N.N., Chekhovskiy V.A., Kunts A.V., Chumakov V.E. Unifitsirovannyye skhemotekhnicheskie resheniya analogovykh arsenid-gallievykh mikroskhem [Unified circuit solutions for analog gallium arsenide microcircuits], *Izvestiya vuzov. Elektronika* [News of universities. Electronics], 2022, Vol. 27, No. 4, pp. 475-488.
13. Nomoto K., Hasegawa K., Satoh M., Nakamura T. Reliability of High-Temperature Operation for GaN-Based OPAMP, *MRS Online Proceedings Library (OPL)*, 2009, pp. 1195-B08-02.
14. Dvornikov O.V., Chekhovskiy V.A., Dyatlov V.L., Prokopenko N.N. Sozdanie nizkotempera-turnykh analogovykh IS dlya obrabotki impul'snykh signalov datchikov. Ch. 3 [Creation of low-temperature analog ICs for processing pulse signals from sensors. Part 3], *Sovremennaya elektronika* [Modern electronics], 2015, No. 6, pp. 34-39.

15. Dvornikov O.V., Prokopenko N.N., Chumakov V.E., Tchekhovsky V.A. General-Purpose Simulation Technique for Charge-Sensitive Amplifiers Based on Wide-Band-Gap (GaAs, GaN) D-FETs, *Proceedings of 16th International Conference of Actual Problems of Electronic Instrument Engineering (APEIE)*. IEEE, 2023.
16. Takai N., Fujii N. GaAs MESFET multi-output current mirrors and their application to high frequency filters, *International Conference on Electronics, Circuits and Systems. Surfing the Waves of Science and Technology (Cat. No. 98EX196)*. IEEE, 1998, Vol. 2, pp. 307-310.
17. Ehteshamuddin M., Salem J.M., Ha D.S. A high temperature variable gain amplifier based on GaN HEMT devices for downhole communications, *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2017, pp. 1-4.
18. Fujiwara M., Nagata H., Hibi Y., Matsuo H., Sasaki M. Cryogenic low noise amplifier with GaAs JFETs, *AIP Conference Proceedings J. American Institute of Physics*, 2009, Vol. 1185, No. 1, pp. 267-270.
19. Lan D., Ning Y., Wang J., Jiang H. High performance two-stage bootstrapped GaAs comparator with gain enhancement, *16th Annual Wireless and Microwave Technology Conference (WAMICON)*. IEEE, 2015, pp. 1-4.
20. Pennisi S., Pulvirenti F., Samperi K. Frequency Compensation Scheme for a Full GaN OpAmp driving 1-nF load, *2022 International Symposium on Circuits and Systems (ISCAS)*. IEEE, 2022, pp. 2042-2046.

Статью рекомендовал к опубликованию д.т.н., профессор Б.Г. Коноплев.

Бугакова Анна Витальевна – Донской государственный технический университет; e-mail: annabugakova.1992@mail.ru; г. Ростов-на-Дону, Россия; тел.: +79094169380; к.т.н.; доцент кафедры «Информационные системы и радиотехника».

Прокопенко Николай Николаевич – e-mail: prokopenko@sssu.ru; тел.: +79281201984; д.т.н.; профессор; зав. кафедрой «Информационные системы и радиотехника».

Клейменкин Дмитрий Владимирович – e-mail: k-dima-01@mail.ru; тел.: +79281970049; магистрант кафедры «Информационные системы и радиотехника».

Дворников Олег Владимирович – ОАО «Минский научно-исследовательский приборостроительный институт»; e-mail: oleg_dvornikov@tut.by; г. Минск, Беларусь; д.т.н.; доцент; г.н.с.

Чеховский Владимир Алексеевич – Институт ядерных проблем Белорусского государственного университета; e-mail: vtchek@hep.by; г. Минск, Беларусь; зав. лабораторией электронных методов и средств эксперимента.

Bugakova Anna Vitalievna – Don State Technical University; e-mail: annabugakova.1992@mail.ru; Rostov-on-Don, Russia; phone: +79094169380; cand. of eng. sc.; associate professor of the department of information systems and radio engineering

Prokopenko Nikolay Nikolayevich – e-mail: prokopenko@sssu.ru; phone: +79281201984; dr. of eng. sc.; professor; head of the department of information systems and radio engineering.

Kleimenkin Dmitriy Vladimirovich – e-mail: k-dima-01@mail.ru; phone: +79281970049; master's student of the department of information systems and radio engineering.

Dvornikov Oleg Vladimirovich – “Minsk Scientific Research Instrument-Making Institute” JSC; e-mail: oleg_dvornikov@tut.by; Minsk, Belarus; dr. of eng. sc.; associate professor; chief researcher.

Tchekhovski Vladimir Alekseevich – Institute of Nuclear Problems, Belarusian State University; e-mail: vtchek@hep.by; Minsk, Belarus; head of the electronic methods and experimental means laboratory.